

3A ドライバ内蔵、55V 同期整流型降圧コントローラ

ISL78268

ISL78268 は、ハイ / ローサイド MOSFET ドライバを内蔵したグレード1の車載用同期整流型降圧コントローラです。5V ~ 55V の幅広い動作入力電圧範囲に対応し、スイッチング動作が行われていないときは最大で60Vの V_{IN} に耐えられます。アダプティブ・デッドタイム制御機能を備え、最大で2Aのソース電流と3Aのシンク電流を供給可能なMOSFETドライバを内蔵します。ISL78268は1A以下から25A以上にわたる広範な負荷範囲の電力段をサポートできます。

ISL78268の完全同期整流型アーキテクチャでは、標準的な降圧コンバータよりも優れた効率と熱特性のもとで電力変換が可能です。また、ISL78268はダイオード・エミュレーション・モードを備え、軽負荷時の効率を高めています。

ISL78268はピーク電流モードPWMコントローラですが、専用の平均出力電流ループも備えており、バッテリーの充電、スーパーキャパシタの充電、温度制御システムなど定電流の供給が必要なアプリケーションに定電流制御を実現できます。

ISL78268は50kHz ~ 1.1MHzのスイッチング周波数に対応しており、スイッチング周波数および効率と外付け部品のサイズとの間で柔軟なトレードオフが可能です。

ISL78268は包括的な保護機能を搭載しています。例として、サイクルごとのピーク電流リミットと平均電流リミットによる強力な電流保護や、ヒカップまたはラッチオフを選択可能なフォルト応答が挙げられます。また、過熱や入出力過電圧に対する保護機能も備えています。

特長

- 5V ~ 55V の広い入力電圧範囲 (スイッチング時)、60V まで対応 (非スイッチング時)
- 2A のソース電流と 3A のシンク電流を供給可能な MOSFET ドライバを内蔵
- 定電流レギュレーション / リミット : 専用の平均電流制御ループ
- スwitching周波数の設定または外部同期によって 50kHz から 1.1MHz まで可変
- 低シャットダウン電流 : $I_Q < 1\mu A$
- 傾き補償を設定可能なピーク電流モード制御
- 選択可能なダイオード・エミュレーション・モードによって軽負荷時に高い効率を発揮
- 入出力過電圧保護 (OVP)、サイクルごとの電流リミット、平均電流の過電流保護 (OCP)、過熱保護 (OTP)
- ヒカップまたはラッチオフを選択可能なフォルト応答
- 鉛フリー 24 Ld 4x4 QFN パッケージ (RoHS 準拠)
- AEC Q100 認定

アプリケーション

- 車載用電源
- テレコムおよび産業用電源
- 汎用電源
- スーパーキャパシタの充電

関連ドキュメント

- アプリケーション・ノート [AN1946](#)、[「ISL78268EVAL1Z Evaluation Board User Guide」](#)

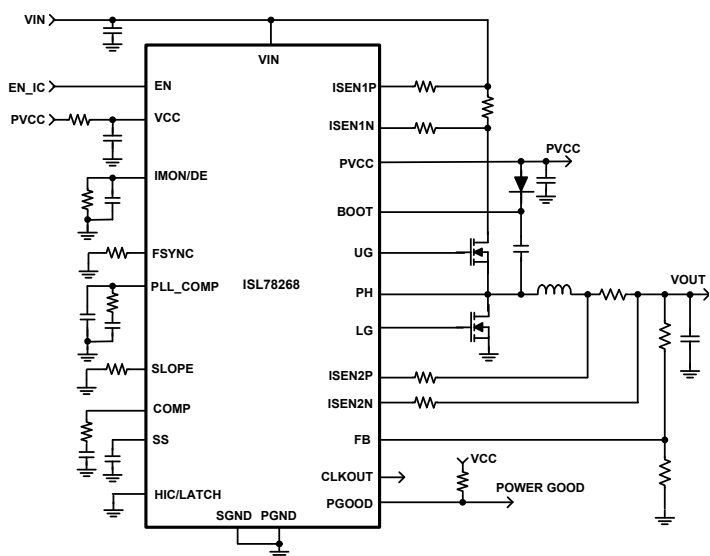


図 1. アプリケーション回路例

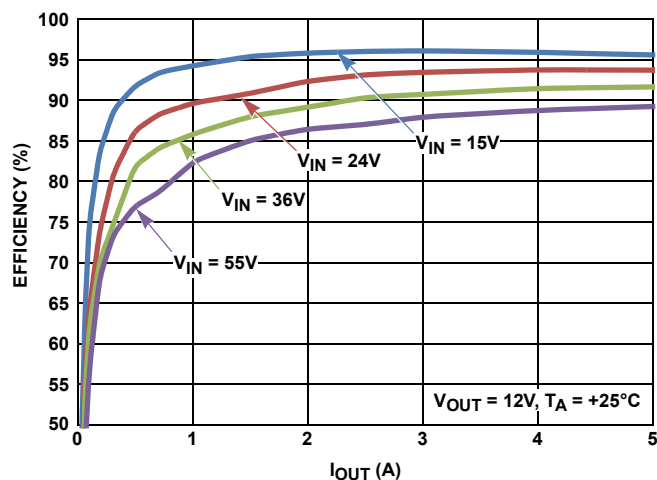


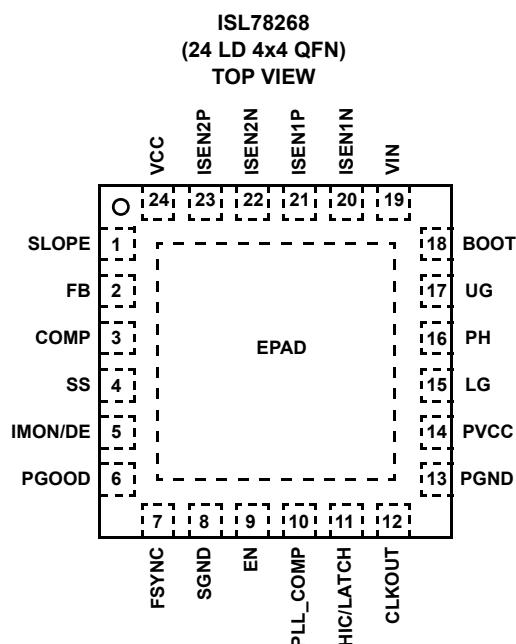
図 2. 効率曲線 (ISL78268EVAL1Z/DE モード)

目次

関連ドキュメント	1
ピン配置	3
ピンの説明	3
注文情報	5
ブロック図	6
アプリケーション回路例	7
絶対最大定格	10
温度情報	10
推奨動作条件	10
電気的特性	10
代表的な性能特性	14
動作説明	20
同期整流型降圧	20
アダプティブ・デッドタイム制御	20
動作の初期化とソフトスタート	20
イネーブル	21
クロック・ジェネレータと同期	21
ソフトスタート	22
ハイサイド NMOS ドライブ用のブートストラップ	22
PWM 動作	23
電流センス	23
設定可能な傾き補償	24
軽負荷時の効率の向上	25
平均定電流制御	25
フォルト・モニタリング / 保護	26
内蔵 5.2V LDO	27
アプリケーション情報	27
出力電圧の設定	27
スイッチング周波数	28
出力インダクタの選択	28
出力コンデンサ	28
入力コンデンサ	29
パワー MOSFET	29
ブートストラップ・コンデンサ	29
ループ補償の設計	29
VCC 入力フィルタ	31
電流センス回路	31
レイアウトに関する考慮事項	31
改訂履歴	32
インターシルについて	32
パッケージ寸法図	34

ISL78268

ピン配置



ピンの説明

ピン名称	ピン番号	説明
SLOPE	1	内部傾き補償の傾きをプログラムします。SLOPE ピンと GND の間に抵抗を接続する必要があります。抵抗値の選択方法については、 24 ページの「設定可能な傾き補償」 を参照してください。
FB	2	トランスコンダクタンス・アンプの反転入力です。出力電圧を設定するには、FB ピンと出力レールの上に抵抗分圧回路を接続する必要があります。
COMP	3	トランスコンダクタンス・アンプの出力です。補償ループを設計する際は、COMP ピンと GND の間に補償ネットワークを配置してください。
SS	4	必要なソフトスタート時間を設定するには、このピンを使用します。SS と GND の間にコンデンサを接続すると、ソフトスタートの傾きが設定され、それに応じてソフトスタート時間が決定されます。
IMON/DE	5	平均電流モニタ / 保護と、スイッチング・モード選択 (ダイオード・エミュレーション (DE) モードまたは強制 PWM モード) の 2 つの機能を持つピンです。 1. IMON/DE ピンが VCC に接続されている場合 (VCC - 0.7V を上回る場合)、デバイスは強制 PWM モードで動作し、平均電流モニタリング / リミット機能がディセーブルになります。 2. IMON/DE と GND の間で抵抗とフィルタ・コンデンサが並列に接続されている場合、デバイスは DE モードで動作し、平均電流モニタリング / リミット機能がイネーブルになります。ISEN2 で検出される電流に比例した電流が IMON/DE ピンから供給されます。IMON/DE ピンと GND の間に RC ネットワークが接続されていると、IMON/DE ピンの電圧は平均出力電流を示します。 平均電流モニタリング / リミット機能がイネーブルで、DE モードが選択されている場合： 1. IMON/DE が 2V を上回ると、デバイスはフォルト応答としてヒックアップまたはラッチオフを選択可能な平均電流保護モードに移行します。 2. IMON/DE が 1.6V に達すると、デバイスは平均定電流制御ループに入ります。 3. IMON/DE ピンが 1.6V (typ) を下回ると、デバイスは DE モードで標準的な降圧レギュレータとして動作します。
PGOOD	6	オープン・ドレインのパワーグッド信号を出力します。出力電圧が公称出力レギュレーション・ポイントの +15/-12% 以内の状態ではソフトスタートが完了すると、内蔵 PGOOD オープン・ドレイン・トランジスタがオープンになります。出力 UV/OV 状態または入力 OV 状態が検出された場合は、Low になります。プルアップ抵抗を VCC に接続する必要があります。
FSYNC	7	このピンと GND の間に抵抗を接続して発振器のスイッチング周波数を調整します。このピンが外部クロックで駆動されている場合、内蔵発振器は矩形パルス波形の立ち上がりエッジにロックされます。FSYNC ピンの入力クロック立ち上がりエッジから UG の立ち上がりエッジまでは 325ns の遅延があります。
SGND	8	内蔵アナログ回路の基準となるシグナル・グラウンド・ピンです。このピンはノイズの少ない大型のグラウンド銅パターンに接続します。PCB レイアウトを設計する際は、スイッチング電流が SGND エリア (ノイズの少ない大型のグラウンド銅パターンに接続された IC PAD も含む) に流入しないようにしてください。

ISL78268

ピンの説明 (続き)

ピン名称	ピン番号	説明
EN	9	スレッシュホールド電圧が規定された、コントローラへのイネーブル入力です。適切な抵抗分圧回路を介して電源入力を EN ピンに接続すると、入力電圧 UVLO を構成できます。1.2V を上回る電圧で EN ピンを駆動した場合、ISL78268 は内部パワーオン・リセット (POR) のステータスに応じてアクティブになり、EN ピンを 1.1V 未満で駆動した場合は、フォルト状態がすべてクリアされ、ISL78268 は再度イネーブルにされた時点でソフトスタートを開始します。
PLL_COMP	10	フェーズ・ロック・ループ (PLL) の補償ノードとして機能します。PLL_COMP ピンと GND の間に接続された二次受動ループ・フィルタが PLL 帰還ループを補償します。
HIC/LATCH	11	出力過電圧、 V_{IN} 過電圧、ピーク過電流 (OC2)、平均過電流などのフォルトに対してヒカッパ応答またはラッチオフ応答を選択するのに使用します。 HIC/LATCH = High : ヒカッパ・フォルト応答がアクティブ HIC/LATCH = Low : ラッチオフ・フォルト応答がアクティブ EN ピンを切り替えるか、VCC POR を繰り返すと、ラッチオフ・ステータスから IC をリセットできます。
CLKOUT	12	別の ISL78268 と同期するためのクロック信号を出力します。2 つの IC を使った 2 フェーズ・インターリーブ動作を容易に行えるように、CLKOUT ピンの立ち上がりエッジ信号には、UG の立ち上がりエッジから 180° 相当の遅延が設けてあります。
PGND	13	このパワー GND ピンは、ローサイド MOSFET ドライブ用のリターン・パスとなります。このピンにはノイズの多い駆動電流が流れるので、ローサイド MOSFET と PVCC デカップリング・コンデンサに接続するパターンはできる限り短くする必要があります。敏感なアナログ信号パターンとこの駆動リターン・パスでパターンを共有しないでください。このピンはグラウンド銅パターンに直接接続し、ピンのできる限り近くに複数のビアを配置します。
PVCC	14	ハイサイド・ドライブとローサイド・ドライブの両方に対してバイアスをかける内蔵リニア・レギュレータの出力です。PVCC の動作範囲は 4.75V ~ 5.5V です。PVCC と PGND の間には、ノイズ・デカップリング用に 4.7 μ F 以上のセラミック・コンデンサを接続する必要があります。このコンデンサはノイズの多い駆動電流を供給するので、グラウンド・パッドに複数のビアを配置し、グラウンド銅パターンに接続してください。
LG	15	ローサイド MOSFET ゲートドライブ出力です。
PH	16	フェーズ・ノードです。ハイサイド MOSFET のソースとローサイド MOSFET のドレインに接続してください。このピンはハイサイド・ゲートドライブのリターン・パスとなります。
UG	17	ハイサイド MOSFET ゲートドライブ出力です。
BOOT	18	バイアス電圧をハイサイド MOSFET ドライバに供給します。ブートストラップ回路を使用して、外付け N チャネル MOSFET の駆動に適した電圧を生成します。BOOT ピンと PH ピンの間には 1 μ F のセラミック・コンデンサを、PVCC ピンと BOOT ピンの間にはスイッチング・ダイオードを接続してください。
VIN	19	このピンには入力レールを接続してください。このピンを内蔵リニア・レギュレータの入力に接続することで、チップの動作に必要な電力が生成されます。IC のスイッチング時には VIN ピンに印加される DC 電圧が 55V を超えないようにすることを推奨します。IC がスイッチングしていないときには、VIN は 60V まで耐えられます。
ISEN1N	20	一次電流センス・アンプ (CSA1) の負電位入力ピンです。このアンプは、ハイサイド MOSFET と直列に接続された電流センス抵抗の信号を検出します。検出された電流の情報は、ピーク電流モード制御と過電流保護に利用されます。
ISEN1P	21	一次電流センス・アンプ (CSA1) の正電位入力ピンです。
ISEN2N	22	二次電流センス・アンプ (CSA2) の負電位入力ピンです。このアンプは、DCR (直流抵抗) センス方式を使用するか、さらに正確な検出が必要な場合はインダクタと直列に接続されたセンス抵抗を使用して、連続出力インダクタ電流を検出します。検出された電流信号は、以下の 3 つの機能に利用されます。 - 定電流制御を目的に平均出力電流を正確に制限 - ダイオード・エミュレーションの実行 - 平均 OCP を実行 (2V を基準電圧とした IMON/DE ピンにおけるコンパレータ)
ISEN2P	23	二次電流センス・アンプ (CSA2) の正電位入力ピンです。
VCC	24	バイアス電力をアナログ回路に供給します。このピンとバイアス電源 (範囲 4.75V ~ 5.5V。通常は PVCC から供給) の間に RC フィルタを接続することを推奨します。VCC と GND の間には、ノイズ・デカップリング用に 1 μ F 以上のセラミック・コンデンサを接続する必要があります。
EPAD		底面のサーマルパッドです。IC の電位には接続されていません。レイアウト上では、ノイズの多い電流が流れない大型の PCB グラウンド銅パターンに接続する必要があります。IC の θ_{JA} を削減する目的で、このパッドには複数の (できる限り多くの) ビアを配置し、グラウンド銅パターンに接続してください。

ISL78268

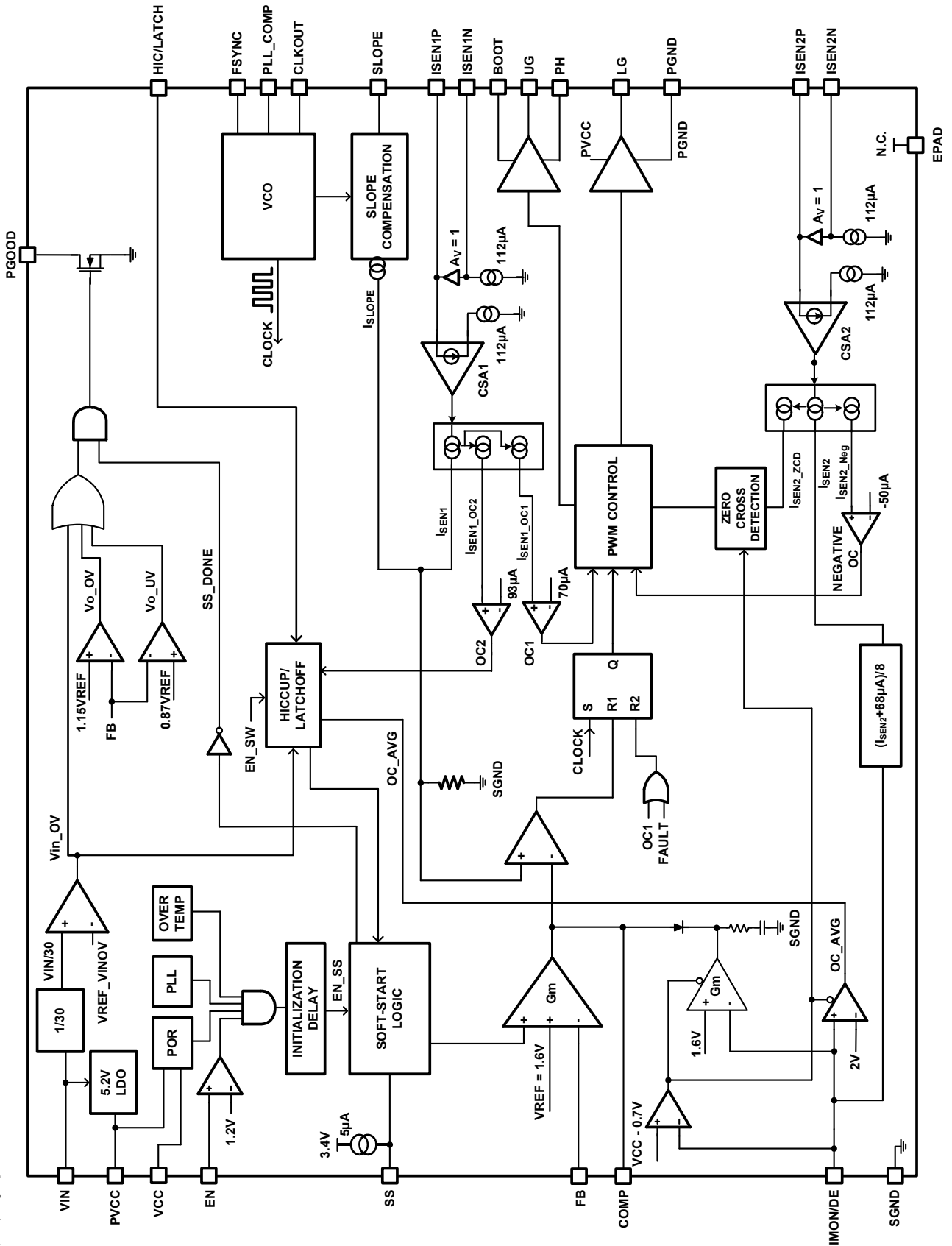
注文情報

製品型番 (Note 1、2、3)	製品 マーキング	温度範囲 (°C)	パッケージ (RoHS 準拠)	パッケージの 外形図
ISL78268ARZ	782 68ARZ	-40 to +125	24 Ld 4x4 QFN	L24.4x4H
ISL78268EVAL1Z	評価用ボード			

NOTE :

1. テープ&リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様については、[TB347](#)を参照してください。
2. これらの鉛フリー・プラスチック・パッケージ製品には、専用の鉛フリー素材セット、モールド材料/ダイ・アタッチ素材を使用するとともに、錫 100% の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度で MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
3. 吸湿性レベル (MSL) については [ISL78268](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ [TB363](#) を参照してください。

ブロック図



アプリケーション回路例

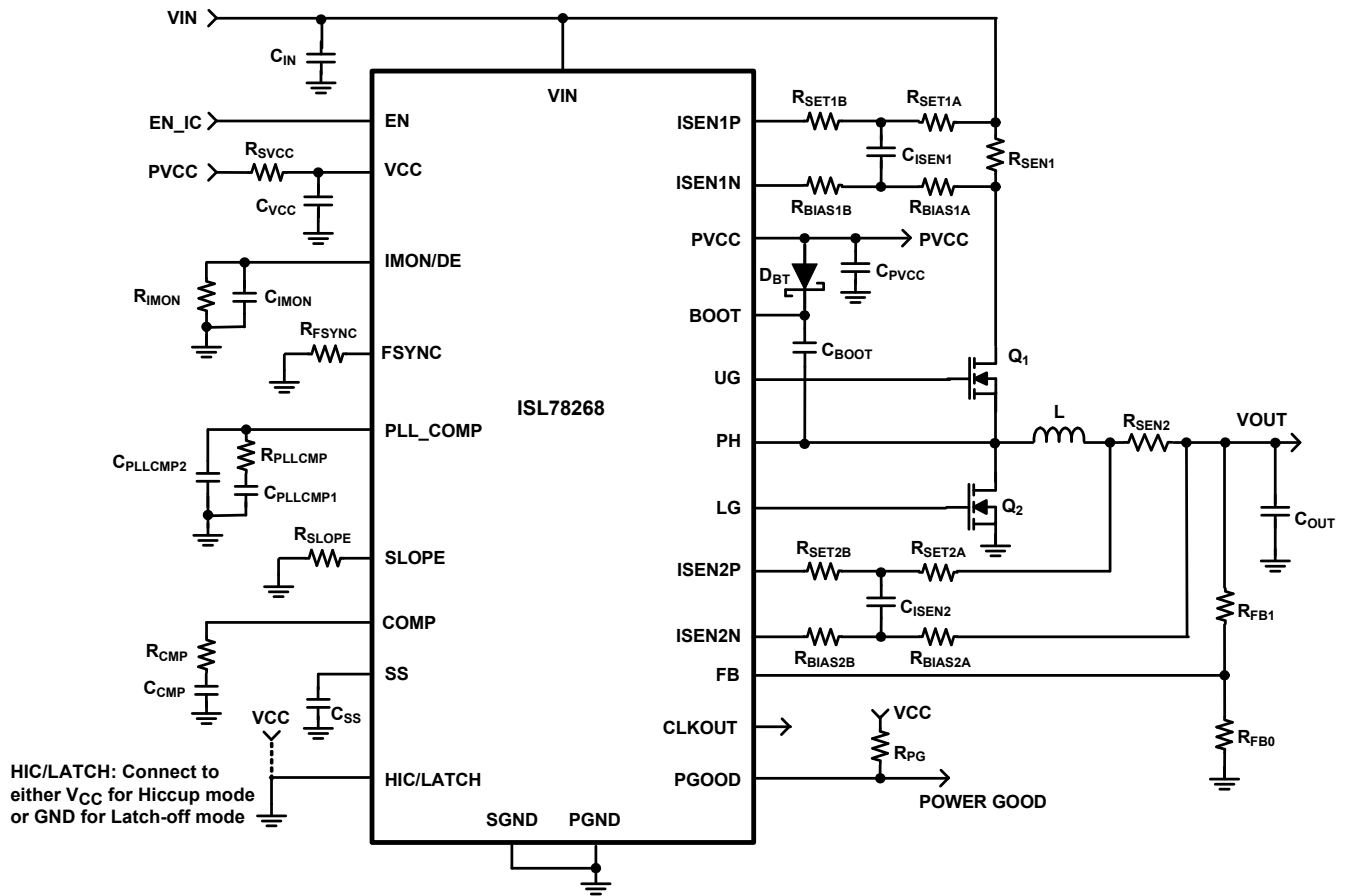


図 3. 同期整流型降圧、平均定電流 I_{OUT}

アプリケーション回路例 (続き)

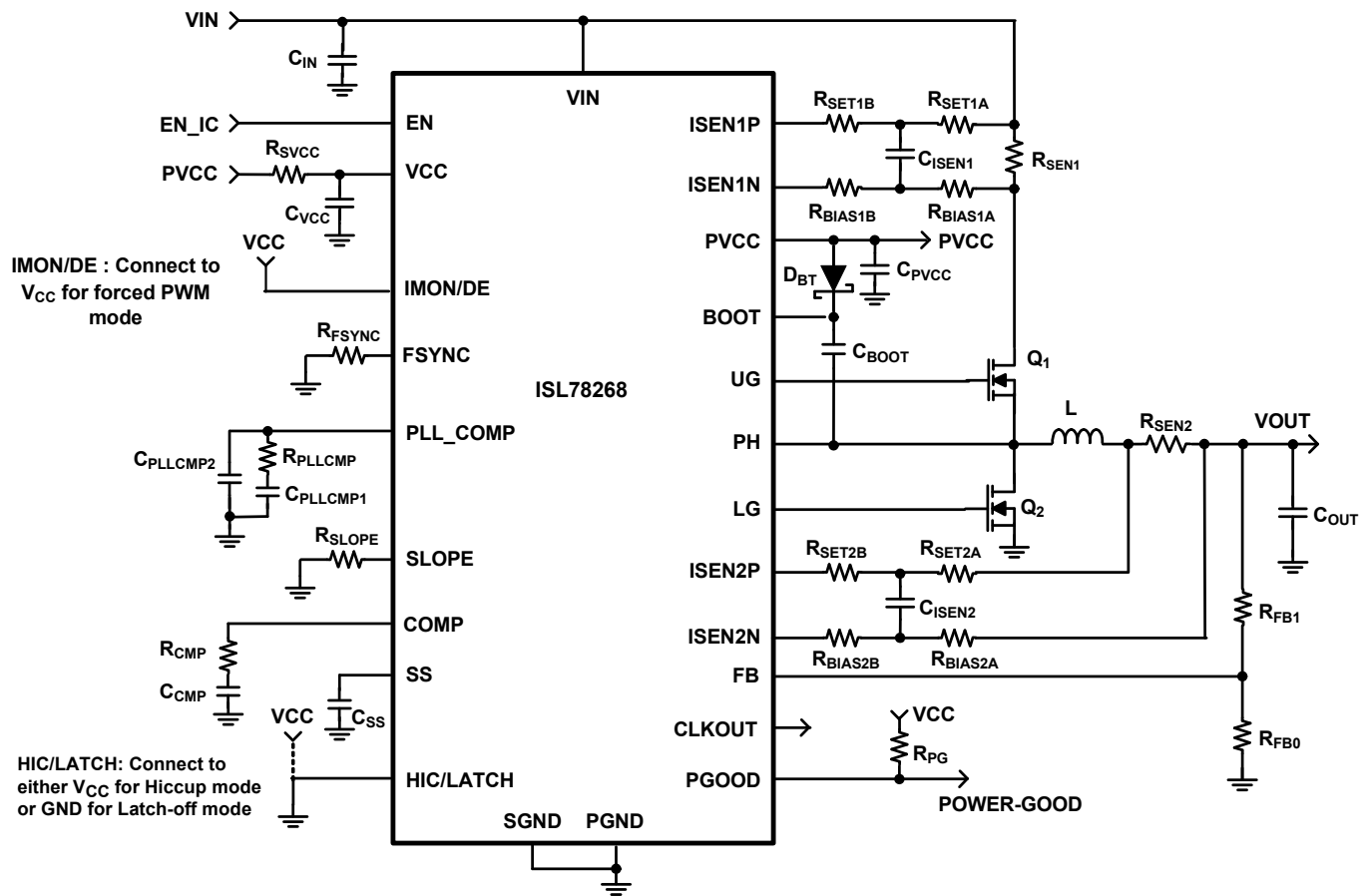


图 4. 同期整流型降圧、強制 PWM

アプリケーション回路例 (続き)

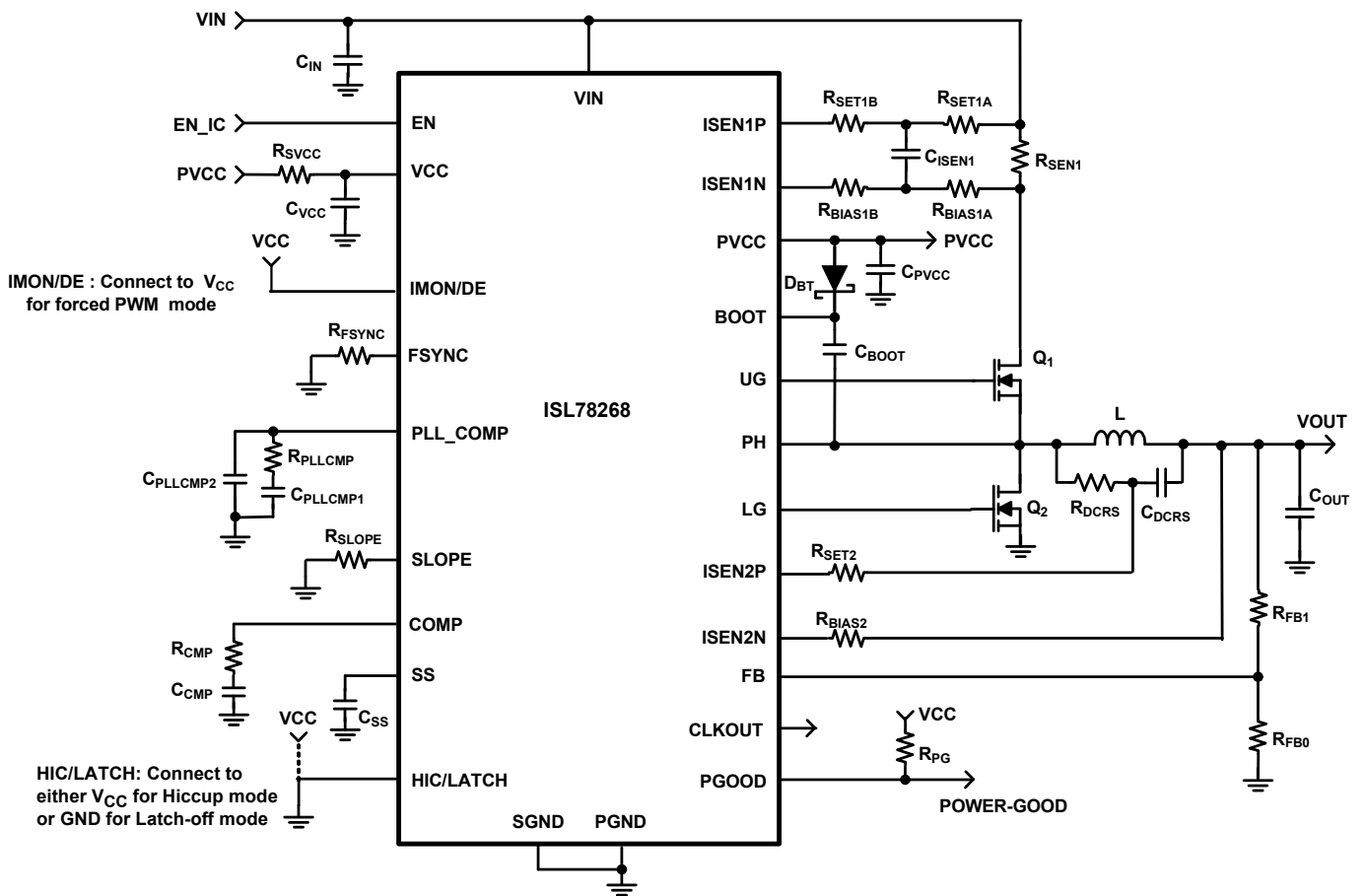


図 5. 同期整流型降圧、DCR センス

絶対最大定格

V _{IN}	-0.3V ~ +60V
PH	-0.3V ~ +60V
BOOT、UG	-0.3V ~ +65V
ハイサイド・ドライバ電源電圧 V _{BOOT} - V _{PH}	-0.3V ~ +6.5V
PVCC、VCC	-0.3V ~ +6.5V
V _{ISENxP} - V _{ISENxN}	±0.6V
I _{SEN1P} 、I _{SEN1N} 、I _{SEN2P} 、I _{SEN2N}	-0.3V ~ +60V
その他のピン	-0.3V ~ VCC + 0.3V
ESD 定格	
人体モデル (AEC-Q100-002 に従ってテスト済み)2kV
機械モデル (AEC-Q100-003 に従ってテスト済み)200V
デバイス帯電モデル (AEC-Q100-011 に従ってテスト済み)750V
ラッチアップ定格 (AEC-Q100-004 に従ってテスト済み)	100mA

温度情報

熱抵抗	θ_{JA} (°C/W)	θ_{JC} (°C/W)
24Ld4x4 QFN パッケージ (Note 4、5)	39	3.5
ジャンクション最高温度 (プラスチック・パッケージ)	+150 °C	
最大保存温度範囲	-65 °C ~ +150 °C	
鉛フリー・リフロープロファイル	TB493 を参照	

推奨動作条件

V _{IN}	5V ~ 55V
PH	0V ~ 55V
PVCC、VCC	4.75V ~ 5.5V
ハイサイド・ドライバ電源電圧 V _{BOOT} - V _{PH}	3.5V ~ 6V
I _{SEN1P} 、I _{SEN1N} 、I _{SEN2P} 、I _{SEN2N} のコモンモード電圧	4V ~ 55V
I _{SEN1P} と I _{SEN1N} 、および I _{SEN2P} と I _{SEN2N} の差動電圧	±0.3V
動作周囲温度範囲 (車載)	-40 °C ~ +125 °C

注意：過度に長い時間にわたって最大定格点または最大定格点付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

NOTE :

- θ_{JA} は、デバイスを放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板に実装し、自由大気中で測定した値です。詳細はテクニカル・ブリーフ TB379 を参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。
- 特記のない限り、本仕様に記載された電圧はすべて GND を基準としています。

電気的特性 ブロック図 (6 ページ) とアプリケーション回路例 (7 ページ) を参照してください。特記のない限り、動作条件は次のとおりです。V_{IN} = 12V、V_{PVCC} = 5.2V、V_{VCC} = 5.2V、EN = 5.0V、T_A = -40 °C ~ +125 °C。代表値は T_A = +25 °C における値です。
太字のリミット値は動作温度範囲 -40 °C から +125 °C に対して適用されます。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP	MAX (Note 7)	UNITS
SUPPLY INPUT						
Input Voltage Range	V _{IN}	For V _{IN} = 5V, the internal LDO dropout (V _{IN} - PVCC) < 0.25V	5		55	V
Input Supply Current (ENABLED Mode) to VIN Pin	I _{Q_SW}	R _{FSYNC} = 40.2kΩ (f _{SW} = 300kHz), LG = OPEN, UG = OPEN		5	7	mA
	I _{Q_NON-SW}	FSYNC = 5V, LG = OPEN, UG = OPEN		2.7	3.5	mA
Input Supply Current (Shutdown Mode) to VIN Pin	I _{Q_SD_VIN}	EN = GND, V _{IN} = 12V		0.15	0.5	μA
		EN = GND, V _{IN} = 55V		0.2	1	μA
Input Leakage Current (Shutdown Mode) to each of I _{SEN1P} /I _{SEN1N} /I _{SEN2P} /I _{SEN2N} Pins	I _{Q_SD_ISENxP/N}	EN = GND, I _{SEN1P} (or I _{SEN1N} /I _{SEN2P} /I _{SEN2N}) = 55V, V _{IN} = 55V	-1	0	1	μA
INPUT OVERVOLTAGE PROTECTION						
V _{IN} Switching-Disabled Threshold		EN = 5V, V _{IN} rising	56	57.5	59.5	V
V _{IN} Overvoltage Recovery Threshold			52.5	54.5	57	V
V _{IN} Switching-Disabled Threshold Hysteresis				3		V
V _{IN} Overvoltage Hiccup Retry Delay		From the time fault is removed to initiation of soft-start		500		ms
INTERNAL LINEAR REGULATOR						
LDO Output Voltage (PVCC Pin)	V _{PVCC}	V _{IN} = 6V to 55V, C _{PVCC} = 4.7μF from PVCC to PGND, I _{PVCC} = 10mA	5	5.2	5.4	V
LDO Dropout Voltage (PVCC pin)	V _{DROPOUT}	V _{IN} = 4.9V, C _{PVCC} = 4.7μF from PVCC to PGND, I _{VCC} = 80mA		0.3		V
LDO Current Foldback Limit (PVCC Pin)	I _{OC_LDO}	V _{IN} = 6V, C _{PVCC} = 4.7μF from PVCC to PGND, V _{PVCC} = 2.5V	150	230	280	mA
LDO Output Short Current (PVCC pin)	I _{OCFB_LDO}	V _{IN} = 6V, C _{PVCC} = 4.7μF from PVCC to PGND, V _{PVCC} = 0V	100	150	220	mA

ISL78268

電気的特性 ブロック図 (6 ページ) とアプリケーション回路例 (7 ページ) を参照してください。特記のない限り、動作条件は次のとおりです。V_{IN} = 12V、V_{PVCC} = 5.2V、V_{VCC} = 5.2V、EN = 5.0V、T_A = -40 °C ~ +125 °C。代表値は T_A = +25 °C における値です。太字のリミット値は動作温度範囲 -40 °C から +125 °C に対して適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP	MAX (Note 7)	UNITS
POWER-ON RESET (for both PVCC and VCC)						
Rising V _{PVCC/VCC} POR Threshold	V _{PORH_RISE}		4.35	4.55	4.75	V
Falling V _{PVCC/VCC} POR Threshold	V _{PORL_FALL}		4.1	4.15	4.3	V
V _{PVCC/VCC} POR Hysteresis	V _{PORL_HYS}			0.4		V
Phase Lock Loop Locking Time	t _{PLL_DLY}	From POR to Initiation of soft-start. R _{PLLAMP} = 3.24k, C _{PLLAMP1} = 6.8nF, C _{PLLAMP2} = 1nF, R _{FSYNC} = 40.2k, f _{SW} = 300kHz		0.8		ms
EN						
Enable Threshold	V _{ENH}	Rising	1.1	1.2	1.3	V
	V _{ENL}	Falling	1.04	1.14	1.24	V
	V _{EN_HYS}	Hysteresis		60		mV
Input Resistance		EN = 4V	3000	5000	8000	kΩ
		EN = 6V		5		kΩ
OSCILLATOR						
PWM Switching Frequency	F _{OSC}	R _{FSYNC} = 249kΩ (0.1%)	47.5	50	52.5	kHz
		R _{FSYNC} = 40.2kΩ (0.1%)	285	300	315	kHz
		R _{FSYNC} = 10kΩ (0.1%)	1036	1100	1155	kHz
Switching Frequency Range		T _A = +25 °C, V _{IN} = 12V	50		1100	kHz
Synchronization Range at FSYNC		T _A = +25 °C, V _{IN} = 12V	50		1100	kHz
CLKOUT						
High Level CLKOUT Output Voltage	CLKOUT _H	I _{CLKOUT} = 500μA	VCC-0.4	VCC-0.1		V
Low Level CLKOUT Output Voltage	CLKOUT _L	I _{CLKOUT} = -500μA		0.1	0.4	V
Output Pulse Width		C _{CLKOUT} = 100pF		270		ns
Phase Shift from UG Rising Edge to CLKOUT Pulse Rising Edge		UG = OPEN, C _{CLKOUT} = OPEN		180		°
SYNCHRONIZATION (FSYNC pin)						
Input High Threshold	V _{IH}		3.5			V
Input Low Threshold	V _{IL}				1.5	V
Input Pulse Width - Rise_To_Fall			20		20,000	ns
Input Pulse Width - Fall_To_Rise			20		20,000	ns
Delay from Input Pulse Rising to UG Rising Edge		UG = OPEN		325		ns
SOFT-START						
Soft-Start Current	I _{SS}	V _{SS} = 0V	4.5	5	5.5	μA
Soft-Start Pin PreBias Voltage Range	V _{SS_PRE}	In prebias output condition; V _{SS_PRE} = V _{FB}	0		1.6	V
Soft-Start PreBias Voltage Accuracy		V _{FB} = 500mV	-25		25	mV
Soft-Start Clamp Voltage	V _{SSCLAMP}		3	3.4	3.8	V
REFERENCE VOLTAGE						
Reference Accuracy		Measured at FB pin	1.584	1.6	1.616	V
FB Pin Input Bias Current		V _{FB} = 1.6V	-0.05		0.05	μA
ERROR AMPLIFIER						
Transconductance Gain				2		ms
COMP Output Impedance				10		MΩ
Unity Gain Bandwidth		C _{COMP} = 100pF from COMP pin to GND		11		MHz

ISL78268

電気的特性 ブロック図 (6 ページ) とアプリケーション回路例 (7 ページ) を参照してください。特記のない限り、動作条件は次のとおりです。V_{IN} = 12V、V_{PVCC} = 5.2V、V_{VCC} = 5.2V、EN = 5.0V、T_A = -40 °C ~ +125 °C。代表値は T_A = +25 °C における値です。太字のリミット値は動作温度範囲 -40 °C から +125 °C に対して適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP	MAX (Note 7)	UNITS
Slew Rate		C _{COMP} = 100pF from COMP pin to GND		±2.5		V/μs
COMP Output Current Capability				±300		μA
COMP Output Voltage High			3.5	3.7	3.9	V
COMP Output Voltage Low					0.3	V
SLOPE COMPENSATION SETTING						
SLOPE Pin Voltage				500		mV
SLOPE Accuracy		R _{SLOPE} = 20k (0.1%)	-30		30	%
		R _{SLOPE} = 40.2k (0.1%)	-30		30	%
CURRENT SENSE AMPLIFIER						
I _{SENxN} , I _{SENxP} Common Mode Voltage Range			4		55	V
I _{SENxN} , I _{SENxP} Bias Current	I _{SENxBIAS}	Sinking into pin, EN = 5V, V _{I_{SENxN}} = V _{I_{SENxP}} = 4V to 55V	90	112	130	μA
ZERO CROSSING DETECTION						
Zero Crossing Detection (ZCD) Threshold	V _{ZCD_TH}	R _{SEN} Differential Voltage R _{SET2A} + R _{SET2B} = 665Ω (0.1%) R _{BIAS2A} + R _{BIAS2B} = 665Ω (0.1%) See page 7 for R _{SET} resistors		1.3		mV
OVERCURRENT PROTECTION						
Peak Current Cycle-by-Cycle Limit Voltage Threshold	V _{OC1}	R _{SEN} Differential Voltage R _{SET1A} + R _{SET1B} = 665Ω (0.1%) R _{BIAS2A} + R _{BIAS2B} = 665Ω (0.1%) See page 7 for R _{SET} resistors	32	47	60	mV
Peak Current Cycle-by-Cycle Limit Delay		UG = OPEN, from V _{OC1} threshold to UG falling		50		ns
Peak Current Hiccup/Latch-off Voltage Threshold	V _{OC2}	R _{SEN} Differential Voltage R _{SET1A} + R _{SET1B} = 665Ω (0.1%) R _{BIAS2A} + R _{BIAS2B} = 665Ω (0.1%) See page 7 for R _{SET} resistors	45	62	75	mV
OC2 Hiccup/Latch-off Blanking Time		Consecutive OC2 switching cycles		3		cycles
OC2 Hiccup Retry Delay				500		ms
AVERAGE OVERCURRENT PROTECTION AND CONSTANT CURRENT LIMITING LOOP						
IMON Offset Current		V _{RSEN-CSA2} = 0mV, V _{I_{SEN2N}} = 4V to 55V, R _{SET2A} + R _{SET2B} = 665Ω (0.1%) R _{BIAS2A} + R _{BIAS2B} = 665Ω (0.1%)	7.0	8.5	10.0	μA
IMON Current Accuracy	IMON _{CSA2}	V _{RSEN-CSA2} = 25mV, V _{I_{SEN2N}} = 4V to 55V, R _{SET2A} + R _{SET2B} = 665Ω (0.1%) R _{BIAS2A} + R _{BIAS2B} = 665Ω (0.1%)	12	13.2	15	μA
	IMON _{CSA2}	V _{RSEN-CSA2} = 76mV, V _{I_{SEN2N}} = 4V to 55V, R _{SET2A} + R _{SET2B} = 665Ω (0.1%) R _{BIAS2A} + R _{BIAS2B} = 665Ω (0.1%)	21	22.8	26	μA
Fault Threshold at IMON/DE Pin		Selected LATCHOFF/HICCUP response	1.9	2.0	2.1	V
OC_AVG Hiccup Retry Delay				500		ms
Constant Current Limit Reference Accuracy	V _{REFCC}		1.584	1.6	1.616	V
PWM CONTROLLER						
Minimum UGATE ON Time	t _{MINON_UG}	UGATE pulse width, UG = OPEN, LG = OPEN	240	300	360	ns
Minimum UGATE OFF Time	t _{MINOFF_UG}	V _{COMP} = 3.5V, UG = OPEN, LG = OPEN		285		ns
Minimum LGATE ON Time	t _{MINON_LG}	V _{COMP} = 3.5V, UG = OPEN, LG = OPEN	140	175	210	ns

ISL78268

電気的特性 ブロック図 (6 ページ) とアプリケーション回路例 (7 ページ) を参照してください。特記のない限り、動作条件は次のとおりです。V_{IN} = 12V、V_{PVCC} = 5.2V、V_{VCC} = 5.2V、EN = 5.0V、T_A = -40 °C ~ +125 °C。代表値は T_A = +25 °C における値です。太字のリミット値は動作温度範囲 -40 °C から +125 °C に対して適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP	MAX (Note 7)	UNITS
GATE DRIVERS						
UG Source Resistance	R _{UGSRC}	50mA source current; V _{BOOT} - V _{PH} = 4.5V		1.2		Ω
UG Source Current	I _{UGSRC}	UG - PH = 2.5V; V _{BOOT} - V _{PH} = 4.5V		2.0		A
UG Sink Resistance	R _{UGPD}	100mA sink current; V _{BOOT} - V _{PH} = 4.5V		0.65		Ω
UG Sink Current	I _{UGPD}	UG - PH = 2.5V; V _{BOOT} - V _{PH} = 4.5V		3.0		A
LG Source Resistance	R _{LGSRC}	50mA source current		1.0		Ω
LG Source Current	I _{LGSRC}	LG - PGND = 2.5V		2.0		A
LG Sink Resistance	R _{LGPD}	100mA sink current		0.55		Ω
LG Sink Current	I _{LGPD}	LG - PGND = 2.5V		3.0		A
UG to PH Pull-Down Resistance				50		kΩ
LG to PGND Pull-Down Resistance				50		kΩ
BOOT-PH Refreshing Detection Threshold			3.1	3.3	3.5	V
BOOT-PH Refreshing Detection Threshold Hysteresis			100	150	250	mV
Dead-Time Delay - UG Falling to LG Rising	t _{DT1}	UG = OPEN, LG = OPEN	45	55	65	ns
Dead-Time Delay - LG Falling to UG Rising	t _{DT2}	UG = OPEN, LG = OPEN	45	55	65	ns
OUTPUT OVERVOLTAGE DETECTION/PROTECTION (NOTE: FB_OVP response is selectable to be LATCHOFF or HICCUP)						
FB Overvoltage Rising Trip Threshold	V _{FBOV_REF}	Percentage of Reference Point, V _{FB} = 1.6V Selected LATCHOFF/HICCUP response.	111	115	118	%
FB Overvoltage Recovery Threshold			108	112	115	%
Overvoltage Threshold Hysteresis				3		%
FB Overvoltage Protection Delay		Overvoltage detection filter		1		μs
FB_OV Hiccup Retry Delay				500		ms
OUTPUT UNDERVOLTAGE DETECTION						
FB Undervoltage Falling Threshold	V _{FBUV_REF}	Percentage of reference point, V _{FB} = 1.6V	85	87.5	90	%
FB Undervoltage Recovery Threshold			88	90.5	93	%
Undervoltage Hysteresis				3		%
POWER-GOOD MONITOR (OUTPUT OVERVOLTAGE, OUTPUT UNDERVOLTAGE, VIN OVERVOLTAGE)						
PGOOD Leakage Current		PGOOD HIGH, V _{PGOOD} = 5V			1	μA
PGOOD Low Voltage		PGOOD LOW, I _{PGOOD} = 0.5mA		0.20	0.4	V
PGOOD Rising Delay -1		From V _{SS} = 0.95*V _{REF} to V _{SS} = V _{SSCLAMP} , C _{SS} = 15nF		5.6		ms
PGOOD Rising Delay -2		From V _{SS} = V _{SSCLAMP} to PGOOD HIGH		0.5		ms
PGOOD Falling Delay		Blanking filter time before transition		10		us
HIC/LATCH Pin						
HIC/LATCH Input Pull-Down Current		V _{HIC/LATCH} = 5V	0.8	1	2	μA
HIC/LATCH Input High Threshold			2			V
HIC/LATCH Input Low Threshold					0.8	V
OVER-TEMPERATURE PROTECTION						
Over-Temperature Threshold				160		°C
Over-Temperature Recovery Threshold				145		°C

NOTE :

- MIN パラメータと MAX パラメータは、特記のない限り +25 °C で全数試験を行っています。温度のリミット値は特性評価によって定められたものであり、製造時テストは行われていません。

代表的な性能特性

特記のない限り、性能曲線はすべて、評価用ボード (ISL78268EVAL1Z) から得られたものです。

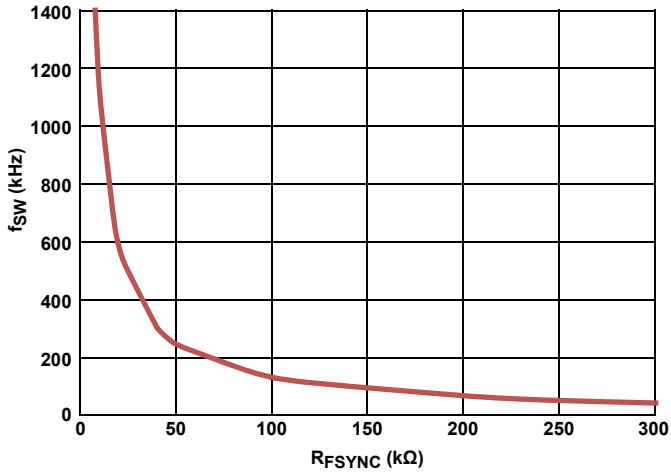


図 6. 周波数設定 (+25 °C)、 $V_{IN} = 36V$

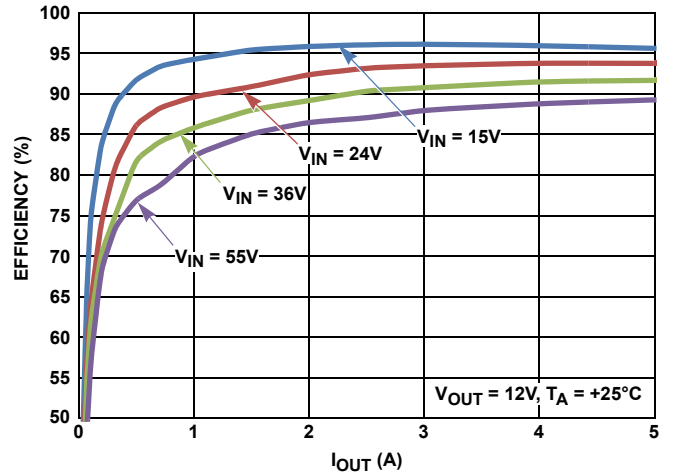


図 7. 効率 (+25 °C) : DE モード、 $V_{OUT} = 12V$ 、 $L = 4.7\mu H$ 、 $f_{SW} = 300k\Omega$

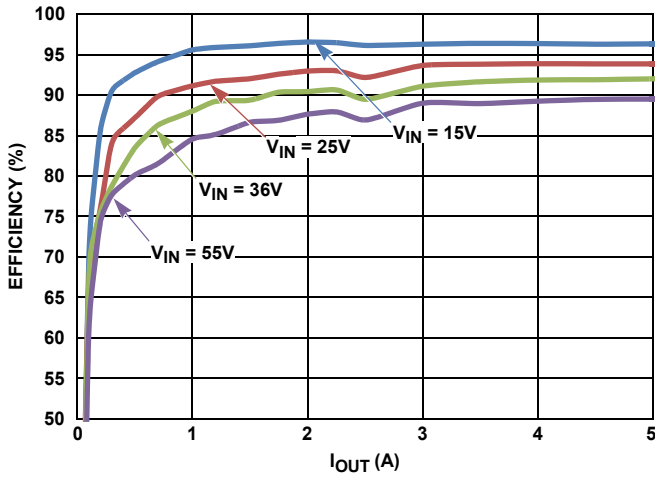


図 8. 効率 (+125 °C) : DE モード、 $V_{OUT} = 12V$ 、 $L = 4.7\mu H$ 、 $f_{SW} = 300k\Omega$

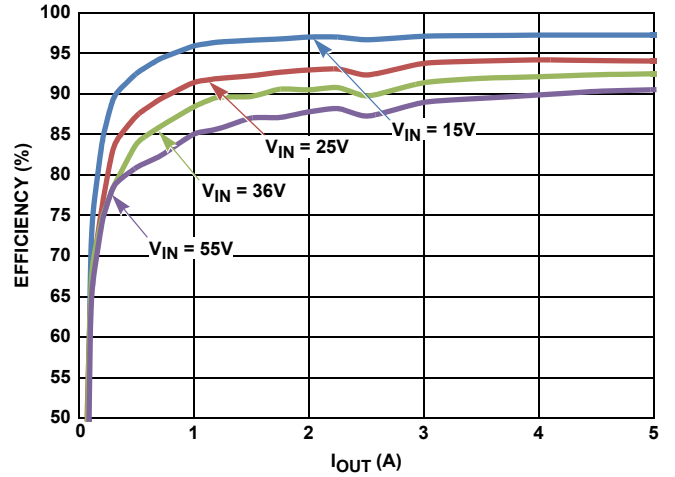


図 9. 効率 (-40 °C) : DE モード、 $V_{OUT} = 12V$ 、 $L = 4.7\mu H$ 、 $f_{SW} = 300k\Omega$

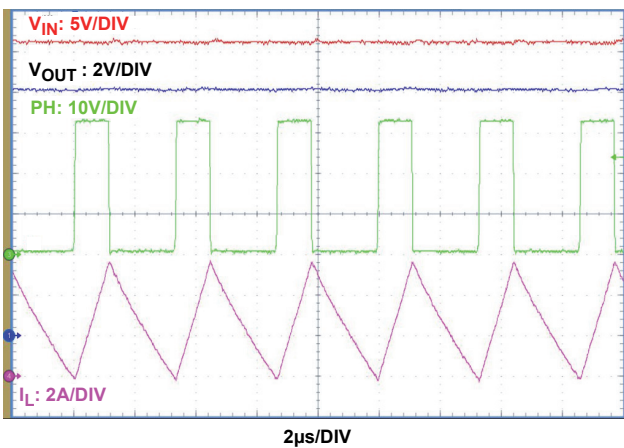


図 10. DE モード : $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 2.5A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$ 、 $f_{SW} = 300kHz$ (連続動作)

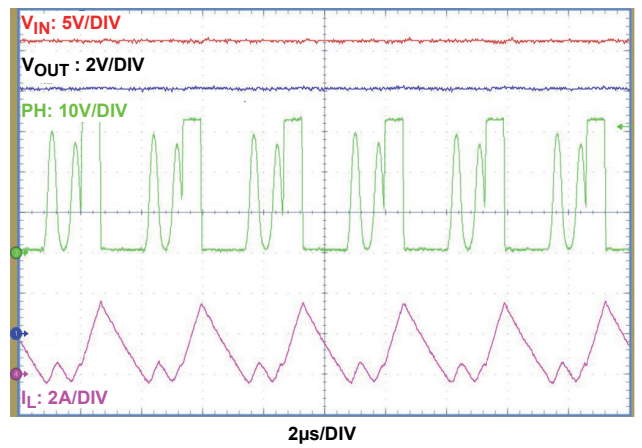


図 11. DE モード : $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 1.0A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$ 、 $f_{SW} = 300kHz$ (不連続動作)

代表的な性能特性

特記のない限り、性能曲線はすべて、評価用ボード (ISL78268EVAL1Z) から得られたものです。(続き)

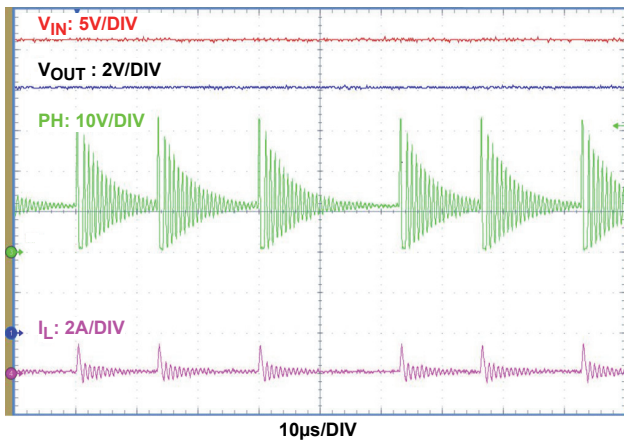


図 12. DE モード : $V_{IN} = 36V$, $V_{OUT} = 12V$,
 $I_{OUT} = 30mA$, $L = 4.7\mu H$, $C_{OUT} = 98\mu F$,
 $f_{SW} = 300kHz$ (パルス・スキップ動作)

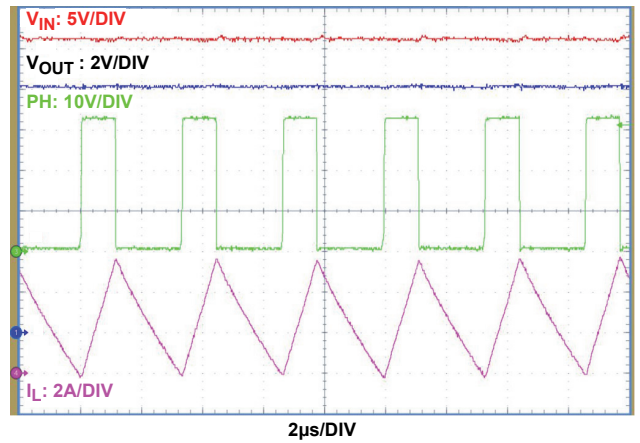


図 13. 強制 PWM モード : $V_{IN} = 36V$, $V_{OUT} = 12V$,
 $I_{OUT} = 2.5A$, $L = 4.7\mu H$, $C_{OUT} = 98\mu F$,
 $f_{SW} = 300kHz$

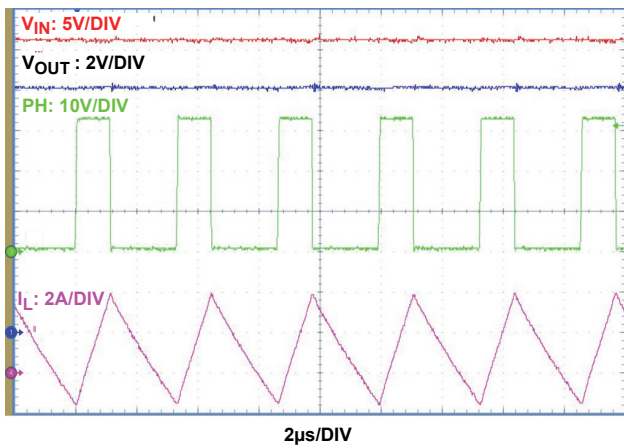


図 14. 強制 PWM モード : $V_{IN} = 36V$, $V_{OUT} = 12V$,
 $I_{OUT} = 1.0A$, $L = 4.7\mu H$, $C_{OUT} = 98\mu F$,
 $f_{SW} = 300kHz$

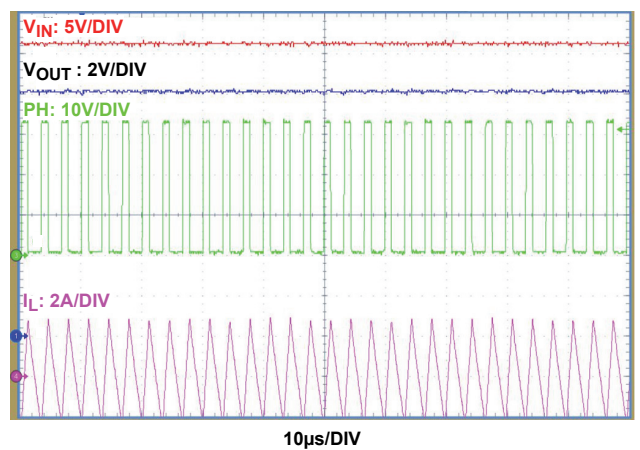


図 15. 強制 PWM モード : $V_{IN} = 36V$, $V_{OUT} = 12V$,
 $I_{OUT} = 30mA$, $L = 4.7\mu H$, $C_{OUT} = 98\mu F$,
 $f_{SW} = 300kHz$

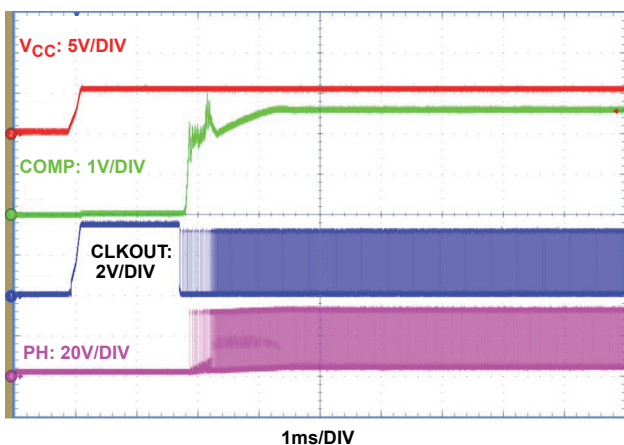


図 16. 初期化～スタートアップ : DE モード、 $V_{IN} = 36V$,
 $V_{OUT} = 12V$, $I_{OUT} = 2.5A$, $L = 4.7\mu H$,
 $C_{OUT} = 98\mu F$, $f_{SW} = 300kHz$

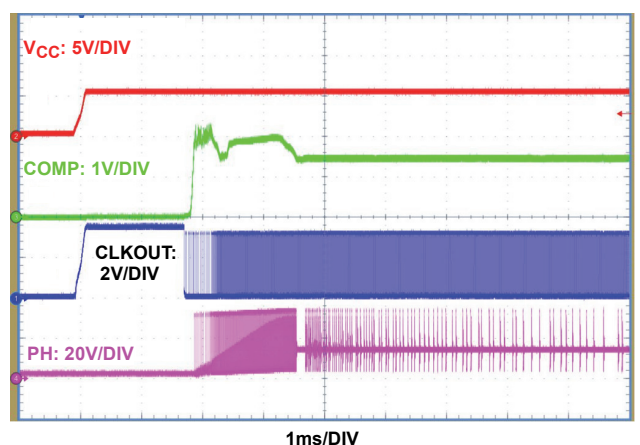


図 17. 初期化～スタートアップ : DE モード、 $V_{IN} = 36V$,
 $V_{OUT} = 12V$, $I_{OUT} = 0A$, $L = 4.7\mu H$, $C_{OUT} = 98\mu F$,
 $f_{SW} = 300kHz$

代表的な性能特性

特記のない限り、性能曲線はすべて、評価用ボード (ISL78268EVAL1Z) から得られたものです。(続き)

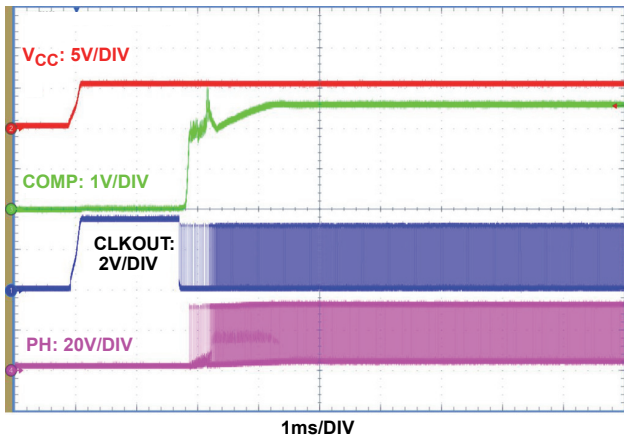


図 18. 初期化～スタートアップ：強制 PWM モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 2.5A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$ 、 $f_{SW} = 300kHz$

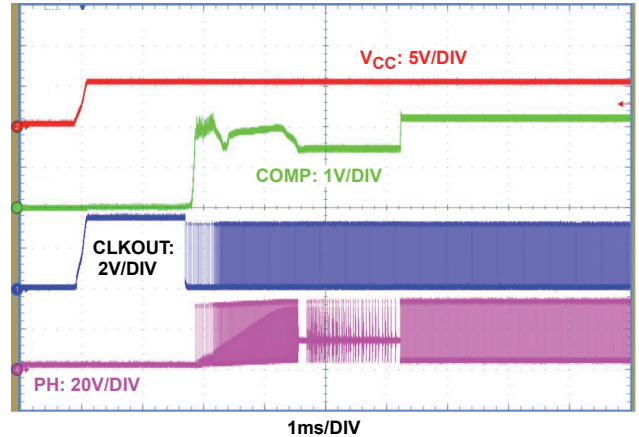


図 19. 初期化～スタートアップ：強制 PWM モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 0A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$ 、 $f_{SW} = 300kHz$

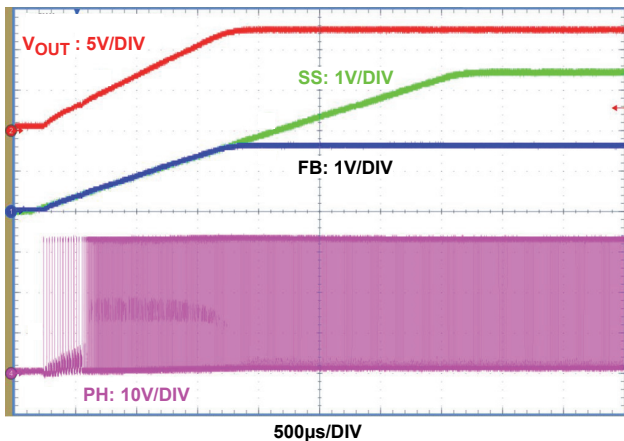


図 20. ソフトスタート (プリバイアスなし)：DE モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 2.5A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$ 、 $f_{SW} = 300kHz$

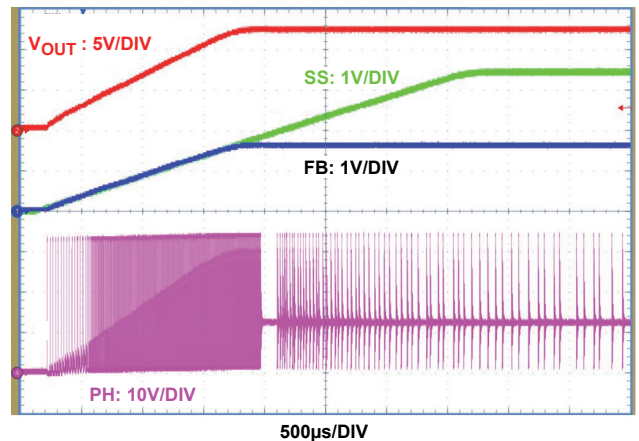


図 21. ソフトスタート (プリバイアスなし)：DE モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 0A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$ 、 $f_{SW} = 300kHz$

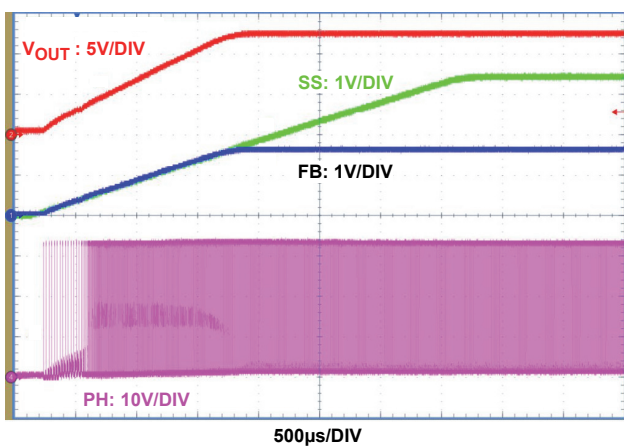


図 22. ソフトスタート (プリバイアスなし)：強制 PWM モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 2.5A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$ 、 $f_{SW} = 300kHz$

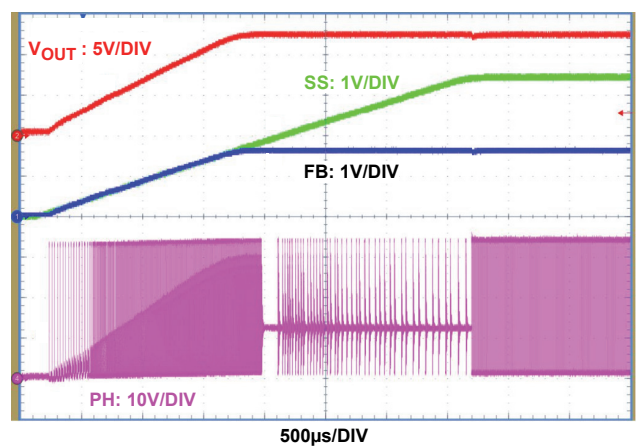


図 23. ソフトスタート (プリバイアスなし)：強制 PWM モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 0A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$ 、 $f_{SW} = 300kHz$

代表的な性能特性

特記のない限り、性能曲線はすべて、評価用ボード (ISL78268EVAL1Z) から得られたものです。(続き)

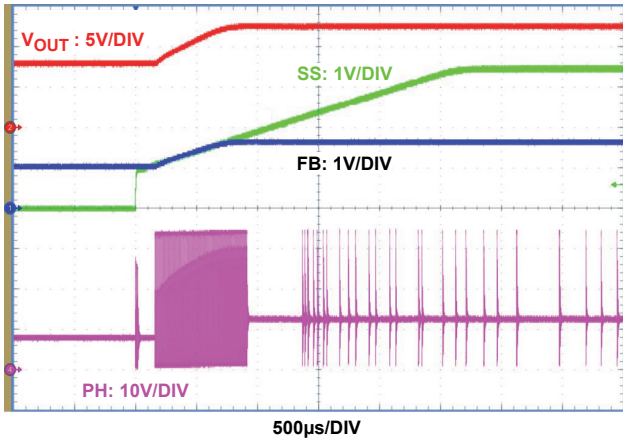


図 24. ソフトスタート (プリバイアスあり):
DE モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 0A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$ 、 $f_{SW} = 300kHz$

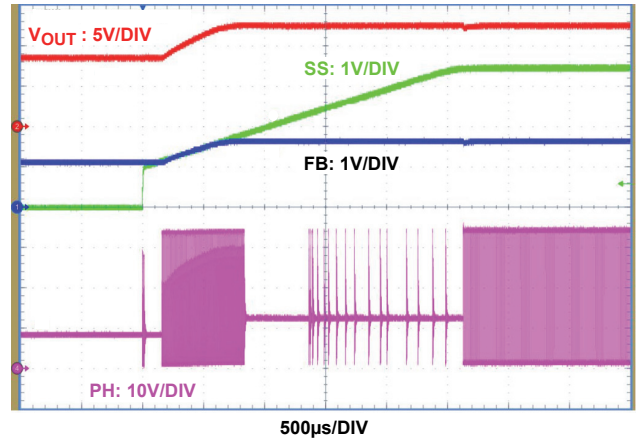


図 25. ソフトスタート (プリバイアスあり):
強制 PWM モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 0A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$ 、 $f_{SW} = 300kHz$

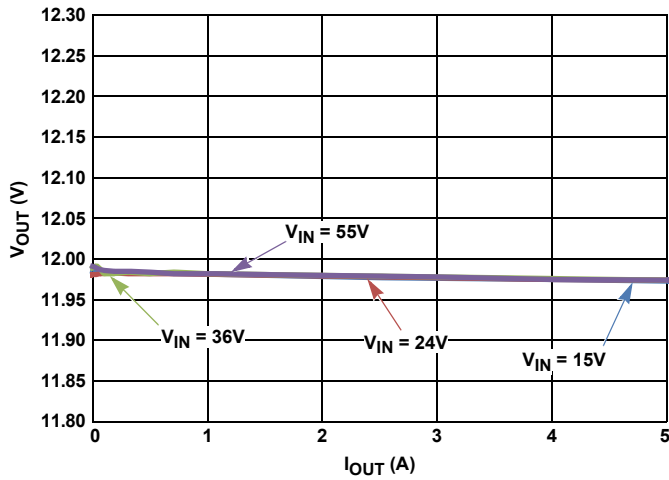


図 26. 負荷レギュレーション

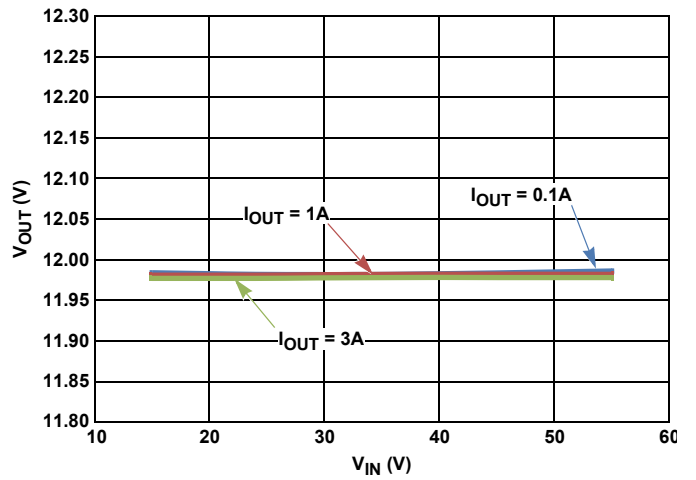


図 27. ライン・レギュレーション

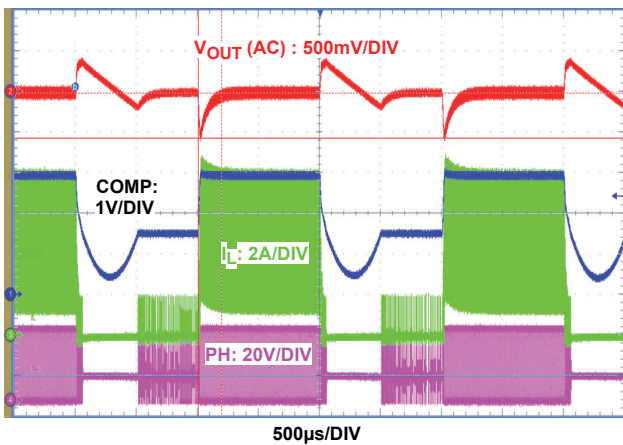


図 28. 負荷応答: DE モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 0.1A \sim 4.5A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$

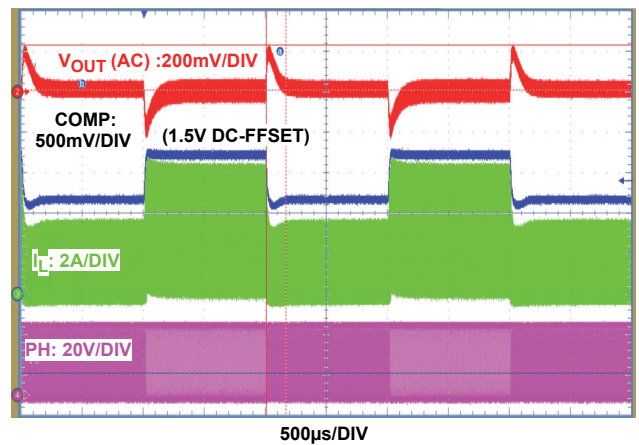


図 29. 負荷応答: DE モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 1A \sim 3A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$

代表的な性能特性

特記のない限り、性能曲線はすべて、評価用ボード (ISL78268EVAL1Z) から得られたものです。(続き)

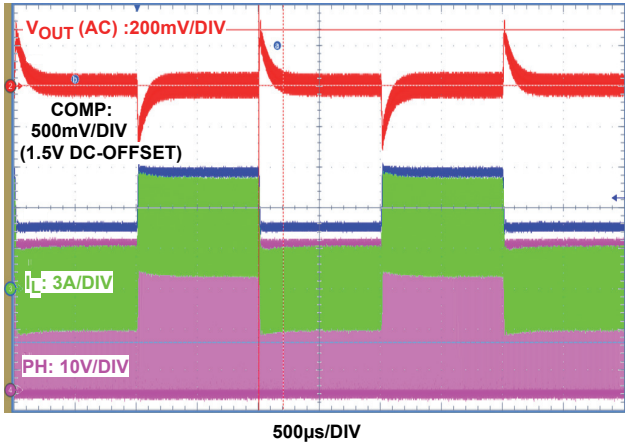


図 30. 負荷応答：強制 PWM モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 0.1A \sim 4.5A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$

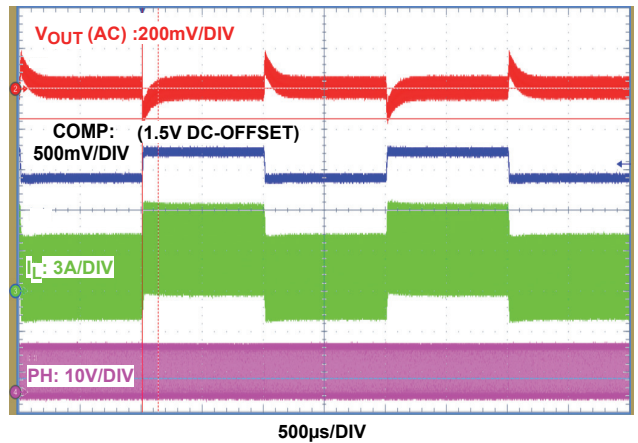


図 31. 負荷応答：強制 PWM モード、 $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 1A \sim 3A$ 、 $L = 4.7\mu H$ 、 $C_{OUT} = 98\mu F$

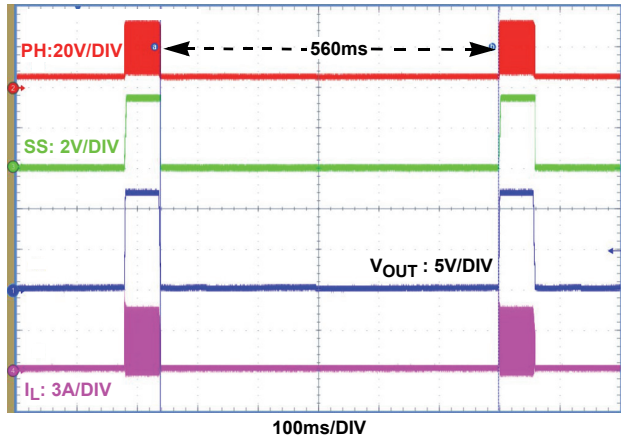


図 32. ヒカップ：ACL、 $V_{IN} = 30V$ 、 $V_{OUT} = 12V$ 、 $R_{IMON} = 156k\Omega$

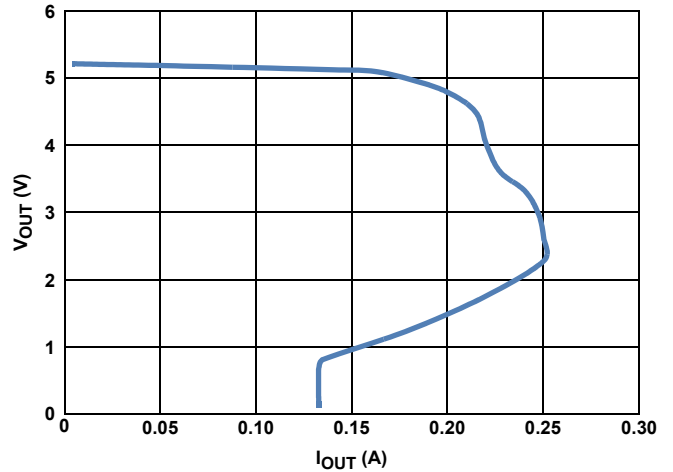


図 33. 内蔵 LDO の負荷レギュレーション： $V_{IN} = 36V$ 、 $T_A = +25^\circ C$

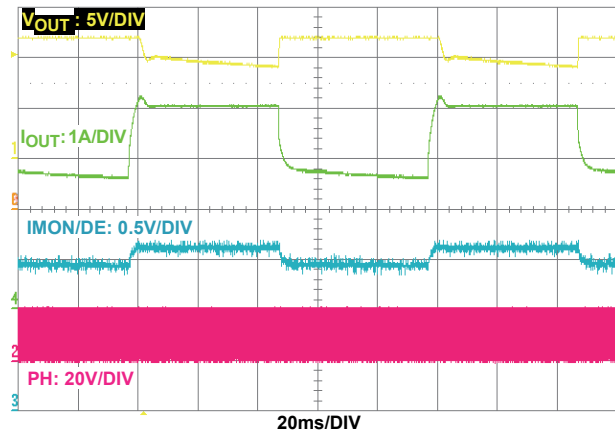


図 34. 平均定電流制御： $V_{IN} = 20V$ 、 $V_{OUT} (設定) = 12V$ 、 $C_{IMON} = 1nF$ 、 $R_{IMON} = 130k\Omega$ 、 $ACL = 4.05A$ 、 $R_L = 5.0\Omega \sim 2.0\Omega$ 、 $F_{LOAD} = 10Hz$ 、負荷デューティの変化 = 50%

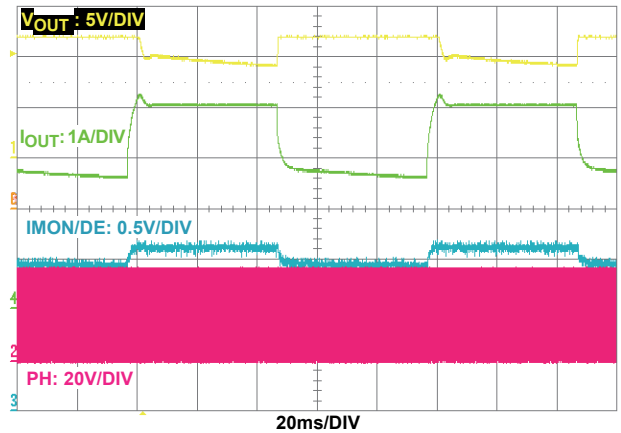


図 35. 平均定電流制御： $V_{IN} = 36V$ 、 $V_{OUT} (設定) = 12V$ 、 $C_{IMON} = 1nF$ 、 $R_{IMON} = 130k\Omega$ 、 $ACL = 4.05A$ 、 $R_L = 5.0\Omega \sim 2.0\Omega$ 、 $F_{LOAD} = 10Hz$ 、負荷デューティの変化 = 50%

代表的な性能特性

特記のない限り、性能曲線はすべて、評価用ボード (ISL78268EVAL1Z) から得られたものです。(続き)

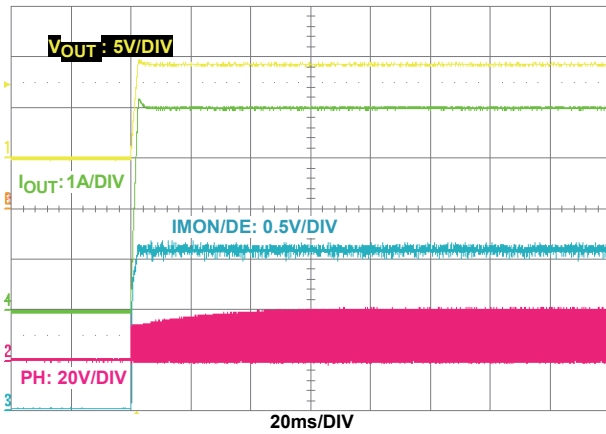


図 36. 平均定電流制御 : $V_{IN} = 20V$ 、
 V_{OUT} (設定) = 12V、 $C_{IMON} = 1nF$ 、
 $R_{IMON} = 130k\Omega$ 、 $ACL = 4.05A$ 、 $R_L = 2.3\Omega$ 、
 R_L 固定のスタートアップ

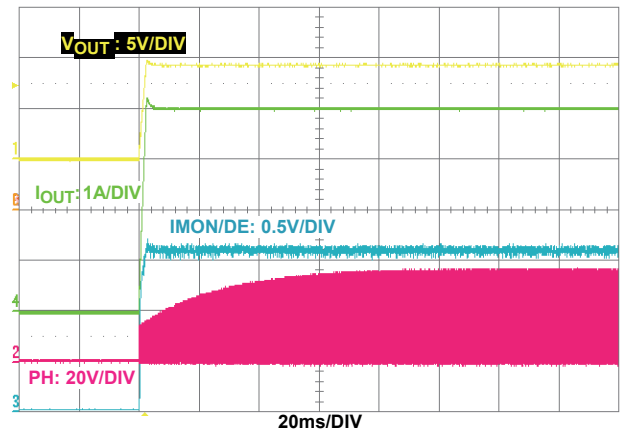


図 37. 平均定電流制御 : $V_{IN} = 36V$ 、
 V_{OUT} (設定) = 12V、 $C_{IMON} = 1nF$ 、
 $R_{IMON} = 130k\Omega$ 、 $ACL = 4.05A$ 、 $R_L = 2.3\Omega$ 、
 R_L 固定のスタートアップ

動作説明

ISL78268 は、ハイ/ローサイド 2/3A MOSFET ドライバを内蔵した車載グレード(AEC Q100 Grade-1)のシングルフェーズ同期整流型降圧コントローラです。5V ~ 55V の幅広い動作入力電圧範囲に対応し、スイッチングが行われていないときは最大で 60V の V_{IN} に耐えられます。このデバイスは、軽負荷時に高い効率で動作できる選択可能なダイオード・エミュレーション・モードや、平均定電流制御などの機能のほか、入力過電圧保護、出力過電圧保護、サイクルごとの電流リミット/保護、過熱保護といった保護機能も備えています。各機能の詳細については、以下で説明します。

同期整流型降圧

ISL78268 は効率向上を図るため、同期整流型降圧アーキテクチャを採用しています。同期整流型降圧アーキテクチャでは、LG 出力がフリーホイール・ダイオードの代わりに同期整流型ローサイド MOSFET を駆動し、ハイサイド MOSFET がオフの際にフリーホイール・ダイオードの電圧低下によって生じる電力損失を改善します。LG 信号は UG 信号を反転したものです。

UG 信号は、BOOT と PH の間で生成するチャージポンプ電圧から供給されます。LG が High で PH が Low の際は、PVCC と BOOT の間にある外付けダイオードが BOOT と PH の間にある外付けコンデンサを充電します。このコンデンサは、UG を High で駆動するための電力を供給します。ブートストラップ・ダイオードに逆バイアスがかけると、BOOT は PH とともに上昇し、UG を駆動するための電圧を維持します。

アダプティブ・デッドタイム制御

UG ドライバと LG ドライバには、MOSFET の状態変化に応じて動作を最適化するアダプティブ・デッドタイム・アルゴリズムが採用されています。このアルゴリズムでは、ゲートドライバ出力電圧によって外付け MOSFET がオフになるタイミングをデバイスが検出します。ISL78268 ではさらに、対象ゲートドライバがオンになる前に、内部で 55ns に固定されたデッドタイムが設けられています。このアルゴリズムは、外付け MOSFET のスイッチングにおける貫通電流を防止するほか、合計デッドタイムの最適化によって効率を最大限に高めます。

動作の初期化とソフトスタート

コンバータの初期化の前に、 V_{IN} および V_{CC} を有効電圧範囲内で供給する必要と、ロジック High になるように EN ピンにバイアスをかける必要があります。これらの条件が揃った時点で、コントローラはソフトスタートを開始します。出力電圧が適切な出力レギュレーション・ウィンドウ内に達すると、 V_{PGOOD} がロジック High にアサートされます。

図 38 に、パワーアップからソフトスタート、 V_{PGOOD} のアサートに至るまでの、ISL78268 の内部スタートアップ・タイミング図を示します。

図 38 に示すように、ソフトスタートの初期化までに 5 つのタイム・インターバルがあり、それぞれ $t_1 \sim t_5$ として記載してあります。ソフトスタートの初期化後にも 5 つのタイム・インターバルがあり、こちらは $t_5 \sim t_{10}$ として記載してあります。各タイム・インターバルの説明を以下に示します。

$t_1 \sim t_2$: EN ピンの電圧 (V_{EN}) が t_1 の時点で 1.2V (typ) を上回るまで、内蔵イネーブル・コンパレータが ISL78268 をシャッ

トダウン状態で維持します。 $t_1 \sim t_2$ の間は、PVCC ピンにおける内蔵 LDO の出力電圧 (V_{PVCC}) が、 t_2 で内部パワーオン・リセット (POR) の立ち上がりスレッショルド (4.5V typ) に達するまで徐々に上昇します。

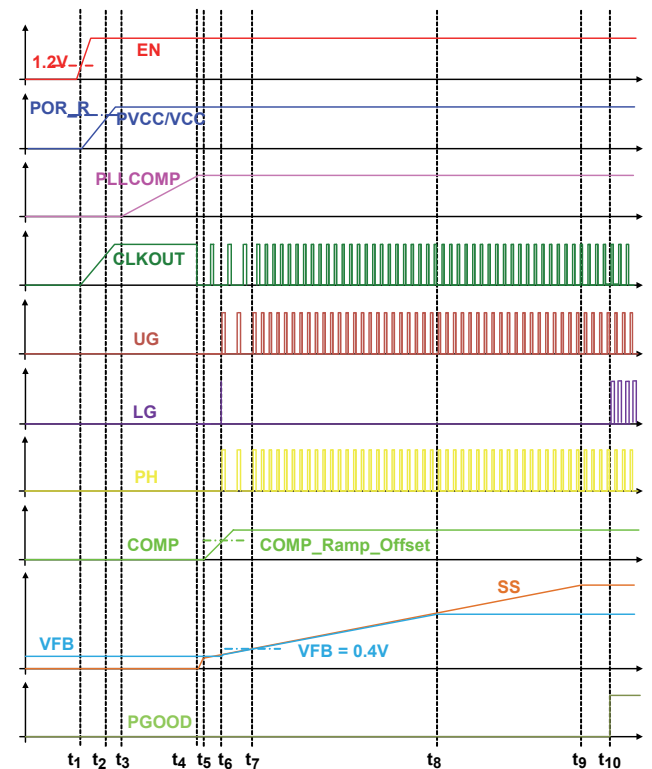


図 38. 回路の初期化とソフトスタート

$t_2 \sim t_3$: $t_2 \sim t_3$ の間は、動作モードを選択するため、ISL78268 が自己校正プロセスを実行してピン接続 (HIC/LATCH、IMON/DE) を判断します。 $t_2 \sim t_3$ の時間は通常、170 μ s です。

$t_3 \sim t_4$: この期間、FSYNC の抵抗または外部クロックによって設定されたプリセット発振器周波数に内蔵 PLL 回路がロックされるまで、ISL78268 は待機します。 t_4 で PLL がロックされると、発振器は CLK_OUT ピンで出力を生成します。

$t_3 \sim t_4$ の時間は、PLL_COMP ピンの設定に依存します。PLL は、PLL_COMP ピンと GND の間の直列抵抗 / コンデンサ R_{PLL_CMP} および C_{PLL_CMP1} や、PLL_COMP ピンと GND の間のコンデンサ C_{PLL_CMP2} によって補償されます。代表値は $R_{PLL_CMP} = 3.24k\Omega$ 、 $C_{PLL_CMP1} = 6.8nF$ 、 $C_{PLL_CMP2} = 1nF$ です。この PLL_COMP 補償の場合、 $t_3 \sim t_4$ の時間は約 0.8ms になります。

$t_4 \sim t_5$: t_4 で PLL が発振器周波数にロックされた後、システムはソフトスタートの準備を開始します。この期間中は、ISL78268 固有の機能により、 V_{FB} 電圧に基づいて V_{SS} にプリバイアスがかけられます。 $t_4 \sim t_5$ の時間は約 50 μ s です。 $t_4 \sim t_5$ の間は、ドライバがオフ状態に保たれます。

$t_5 \sim t_6$: t_5 の後、ソフトスタート回路は、プリバイアスがかけられた VFB から上昇を開始します。それと同時に、COMP ピンの電圧も上昇を開始します。UG ドライバは t_5 でイネーブルになります。ただし t_6 までは、COMP がピーク電流モード制御のランプ・オフセットを下回っており、ドライバはスイッチングを開始しません。ソフトスタート期間の $t_5 \sim t_{10}$ では、デバイスがダイオード・エミュレーション・モードで動作し、LG ドライバはオフ状態に保たれます。

$t_6 \sim t_7$: FB 電圧 (VFB) が 0.4V (typ) を下回る場合、デバイスはハイサイド MOSFET の最小オン時間のもと 50kHz (typ) の最小固定周波数で動作します。VFB が 0.4V (typ) に達すると、スイッチング周波数が目標周波数へ徐々に変化し、ハイサイド MOSFET のオン時間が PWM 制御ループによって制御されるようになります。プリバイアスがかけられた FB 電圧が 0.4V (typ) を上回る場合は、目標スイッチング周波数でスタートアップします。FB 電圧が 0.4V を超えている場合、 $t_6 \sim t_7$ の時間はごくわずかです。

$t_6 \sim t_8$: t_6 で COMP がピーク電流モード制御のランプ・オフセットを上回り、ドライバがスイッチングを開始します。このソフトスタート期間中は、出力電圧が上昇し、FB 電圧が SS の上昇に追従します。 t_8 で、出力電圧がレギュレーション・レベルに達し、FB 電圧が 1.6V (typ) に到達します。

$t_7 \sim t_{10}$: SS ピンの電圧は、 t_9 で SS クランプ電圧の 3.4V (typ) に達するまで上昇を続けます。ソフトスタート期間は、 t_9 の 0.5ms (typ) 後となる t_{10} で完了します。ソフトスタート期間が完了すると、デバイスは IMON/DE の設定によって選択された動作モードで動作します。強制 PWM モードが選択されている場合は、完全同期整流型として動作します。ダイオード・エミュレーション・モード (DE モード) が選択されている場合は、DE モードで動作できます。DE モードでは、逆電流の防止と効率化を目的に、インダクタ電流がゼロに達するとローサイド MOSFET がオフになります。ソフトスタート期間が終了する t_{10} では、PGOOD オープン・ドレインが COMP とインダクタ電流ランプ信号の関係に追従します。ピンは解放され、外付け抵抗によってプルアップされます。

イネーブル

デバイスをイネーブルにするには、外部イネーブル信号または VIN と GND の間の抵抗分圧回路によって、1.2V (typ) よりも高い電圧で EN ピンを駆動する必要があります。EN ピンには、5M Ω (typ) のプルダウン抵抗が内蔵されています。さらにこのピンは、5k Ω (typ) の抵抗が直列に接続された 5.2V (typ) のクランプ回路も内蔵し、過剰電圧が内蔵回路に印加されるのを防いでいます。VIN に接続された抵抗分圧回路を使って EN 信号を印加する場合は、内蔵プルダウン抵抗を考慮に入れる必要があります。また、EN ピンの入力電圧が 5.2V を超えない場合があるので、抵抗分圧回路の比率を調整することも必要です。

すべてのフォルト・ステータスをディスエーブルまたはリセットするには、EN ピンを 1.1V (typ) 未満で駆動する必要があります。EN ピンが Low になると、ISL78268 はすべてのブロックをオフにして、オフ状態での静止電流を最小限に抑えます。

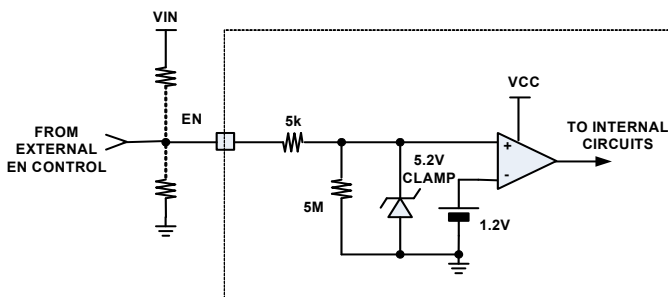


図 39. イネーブル・ブロック

クロック・ジェネレータと同期

内部クロック周波数の設定

スイッチング周波数は、FSYNC ピンと GND の間に接続された周波数設定抵抗 R_{FSYNC} の選択によって決まります。式 1 と図 40 は、 R_{FSYNC} とスイッチング周波数の関係を示しています。デバイスが安定して動作するように、 f_{SW} を 50kHz ~ 1.1MHz に設定することを推奨します。

$$R_{FSYNC} = 2.5 \times (10)^{10} \times \left(\frac{0.5}{f_{SW}} - 5.0 \times 10^{-8} \right) \quad (\text{式 1})$$

f_{SW} はデバイスのスイッチング周波数です。

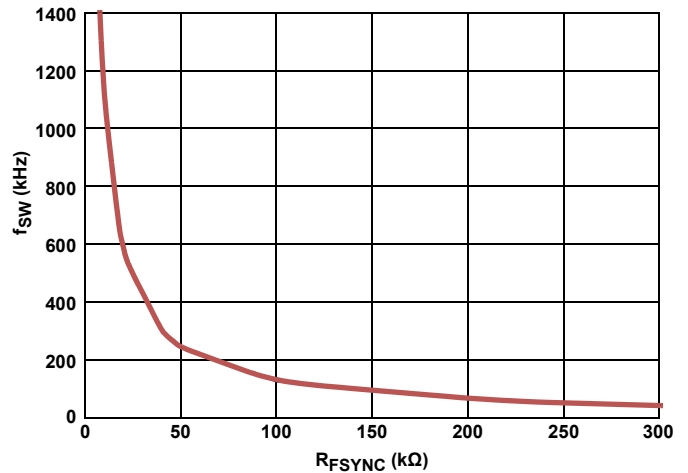


図 40. R_{FSYNC} vs f_{SW}

図 41 に、クロック・ジェネレータ・ブロックのブロック図を示します。FSYNC ピンは 0.5V (typ) でバイアスがかけられています。FSYNC の 0.5V の電圧が R_{FSYNC} によって定電流を発生させます。この電流が内蔵発振器に送られて、内部ベース・クロックが生成されます。内部ベース・クロックはフェーズ・ロック・ループ (PLL) 回路によって調整され、PLL の出力がデバイスのメイン・クロックとして使用されます。

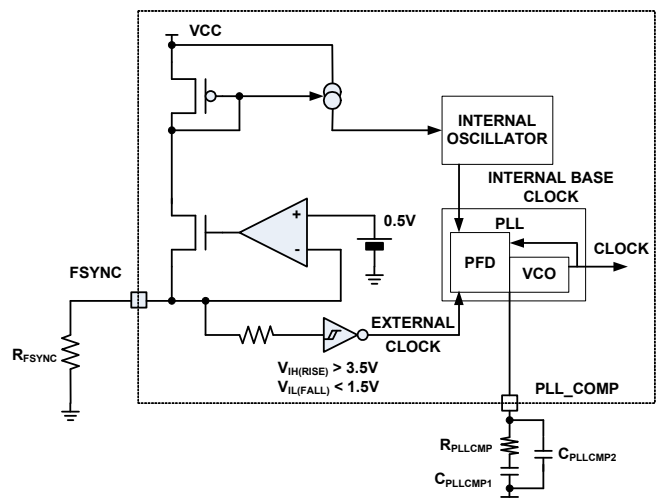


図 41. クロック・ジェネレータと外部クロック同期ブロック

外部クロックとの同期

ISL78268 は PLL 回路を備え、FSYNC ピンを外部矩形パルス波形に接続するだけで周波数の同期が可能です。

PLL ブロックは外部クロックの立ち上がりエッジを検出し、UG の立ち上がりエッジと同期させます。外部クロックの立ち上がりエッジから UG の立ち上がりまでの遅延時間は 325ns (typ) です。

FSYNC ピンには、外部クロック検出のための特別なスレッシュホールドが設けられています。外部クロックの入力レベルは上側が 3.5V 以上、下側が 1.5V 以下の必要があります。

RFSYNC によって決まる内部クロックでの動作中に連続的な外部クロック・パルスが印加されると、このデバイスは外部クロックと徐々に同期し、スイッチングを継続します。ただし、外部クロックが一定期間 (~6ms) 得られないと、デバイスはスイッチングを停止し、約 50ms の間隔において、初期化 / ソフトスタート・プロセスからリスタートします。

PLL は、PLL_COMP ピンと GND の間の直列接続抵抗 / コンデンサ (R_{PLLCMP} および C_{PLLCMP}) や、PLL_COMP ピンと GND の間のコンデンサ (C_{PLLCMP2}) によって補償されます。安定した動作が得られるように、R_{PLLCMP} = 3.24kΩ、C_{PLLCMP1} = 6.8nF、C_{PLLCMP2} = 1nF に設定することを推奨します。この場合の代表的なロック時間は約 0.8ms になります。

CLKOUT ピンは、スイッチング周波数で矩形パルス波形を供給します。振幅は GND ~ VCC で、パルス幅が 270ns (typ)、立ち上がりエッジは UG の立ち上がりエッジから 180°シフトしています。

ソフトスタート

ソフトスタートは、SS と GND の間に接続されたソフトスタート・コンデンサ (C_{SS}) を充電する内蔵の 5μA 電流源によって実現されています。ソフトスタート中は、SS ピンの電圧が FB ピンの基準電圧を制御します。出力電圧が残っている状態 (プリバイアス状態) でシステムをスタートアップすると、FB と同じ電圧になるまでプリバイアス回路が C_{SS} コンデンサを充電してから、ソフトスタートが開始されます。このため、ソフトスタート・ランプ時間と出力電圧の関係を正確に保つことができます。

プリバイアスがかけられていない出力状態の場合、ソフトスタート・ランプ時間は次式で求められます。

$$t_{SS} = V_{REF} \frac{C_{SS}}{5\mu A} \quad (\text{式 2})$$

V_{REF} は 1.6V の基準電圧です。

無負荷状態の場合、ソフトスタート時間 t_{SS} 内に出力コンデンサを 0V から最終レギュレーション電圧まで充電する平均インダクタ電流 I_{L_softstart} は、次式で概算できます。

$$I_{L_{softstart}} = V_{OUT} \frac{C_{OUT}}{t_{SS}} \quad (\text{式 3})$$

最大負荷でのスタートアップが必要な場合、ソフトスタート期間中の合計平均インダクタ電流は、最大負荷電流と I_{L_softstart} の合計になります。こうした点を考慮して、過電流保護がトリップしないように十分なソフトスタート時間を設定する必要があります。

プリバイアスがかけられた V_{FB} 電圧がソフトスタート開始時に 0.4V (typ) を下回っている場合、デバイスは強制的にハイサイド MOSFET の最小オン時間のもと 50kHz (typ) のスイッチング周波数で動作します。V_{FB} が 0.4V (typ) 以上に達すると、デバイスは通常のスイッチング周波数とオン時間で動作します。プリバイアスがかけられた V_{FB} 電圧がソフトスタート開始時に 0.4V (typ) を上回っている場合は、最初から通常のスイッチング周波数で動作します。

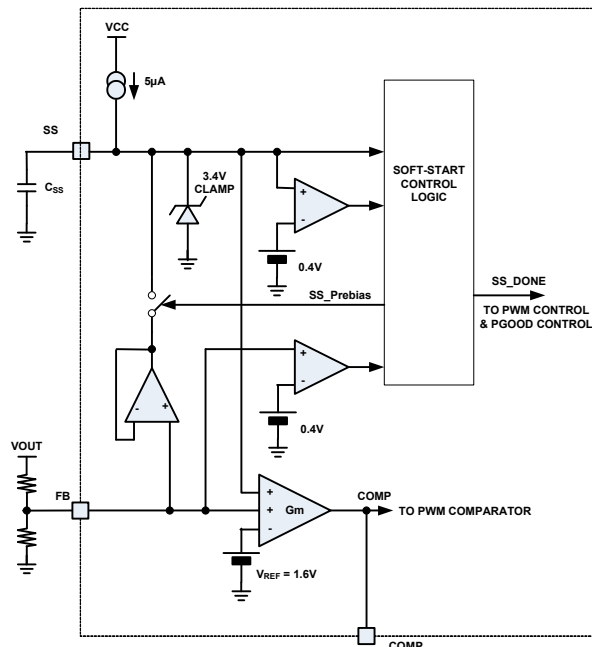


図 42. ソフトスタート・ブロック

SS ピンの電圧がクランプ電圧 (3.4V typ) に達すると、0.5ms (typ) 後ソフトスタート期間が終了します。ソフトスタート期間終了時には、PGOOD ピンのプルダウンが解放されます。このピンは外付け抵抗によってプルアップされ、VCC または外部ロジック電源レベルまでバイアスがかけられます。

デバイスはソフトスタート期間中、ダイオード・エミュレーション・モードで動作し、インダクタを介した出力からの不必要な逆電流を防止します。この期間中は、IMON/DE ピンの設定 (強制 PWM モードまたはダイオード・エミュレーション・モードの選択) にかかわらず、ハイサイド MOSFET のみがスイッチングされ、ローサイド MOSFET はオフ状態に保たれます。

ハイサイド NMOS ドライブ用のブートストラップ

ハイサイド MOSFET を適切にオンにする目的で、ISL78268 は外付けブート・コンデンサ (C_{BOOT}) およびダイオード (D_{BT}) を使ったブートストラップ回路を採用しています。ハイサイド MOSFET がオフになる際は、インダクタの電流を維持するため、ローサイド MOSFET のターンオン時点で PH ノードが GND レベルまで低下します。このローサイド MOSFET のオン期間中は、PVCC とブート・コンデンサの間に接続されたダイオードが順バイアスをかけられ、ブート・コンデンサを充電します。ローサイド MOSFET がオフになり、デッドタイム後にハイサイド MOSFET がオンになると、PH ノードが VIN レベルまで上昇し、BOOT ピンのバイアス電圧はハイサイド・ドライブ回路を駆動できるように VIN + PVCC - V_F となります。

ブートのリフレッシュ

ハイサイド・ドライバ回路の動作に十分な電源電圧を維持する目的で、ISL78268 はブート・リフレッシュ回路を備えています。ブート・コンデンサの電圧が 3.3V (typ) を下回ると、ローサイド・トランジスタが最小限のオン時間にて強制的にオンになり、ブート・コンデンサを充電します。ブートのリフレッシュは、ソフトスタートの開始時や、軽負荷状態におけるパルス・スキップ動作時に発生します。

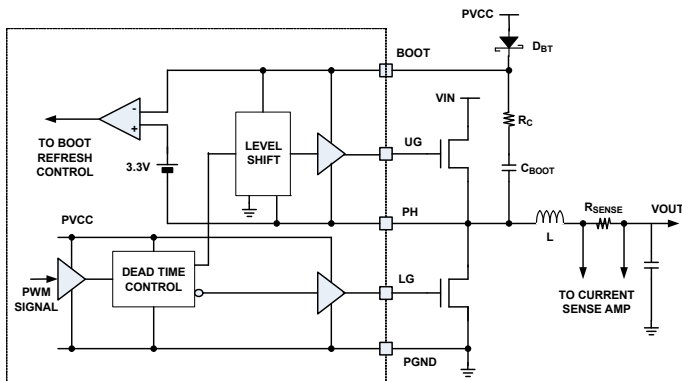


図 43. 出力ブート制御

最小オフ時間に関する考慮事項

ブート・コンデンサを確実に充電できるように、ハイサイド MOSFET には内部で固定された最小オフ時間 ($t_{\min\text{off}}$) が設けられています。ハイサイド MOSFET がオフになるとすぐに、PH ノードが GND レベルまで低下し、PVCC から外付けダイオード (ショットキー・ダイオードを推奨) 経由でブート・コンデンサが充電されます。ただし、高負荷アプリケーションに対応できるように Q_g の大きな NMOS を選択した場合、ブート・コンデンサを適切に充電するには、内部で固定された $t_{\min\text{off}}$ では不十分かもしれません。ハイサイド・トランジスタのオフ時間は固定されているので、こうした場合は、スイッチング周波数または入力電圧を調整することを推奨します。

PWM 動作

スイッチング・サイクルは、UG パルス信号間の時間として定義されています。パルス信号のサイクル時間は、FSYNC ピンとグラウンドの間の抵抗によって設定されたスイッチング周波数の逆数です。

ISL78268 はピーク電流モード制御を採用しています。PWM 動作は、発振器からのクロックによって初期化されます。PWM サイクルの開始時にクロックによってハイサイド MOSFET がオンになり (UG)、インダクタ電流がハイサイド MOSFET に流れ、上昇を開始します。電流センス信号 (I_{SEN1} 電流センス・アンプ経由) と傾き補償信号の和が誤差アンプの出力電圧に達すると、PWM コンパレータがトリガされ、UG がオフになってハイサイド MOSFET をシャットダウンします。次のサイクルに対する次のクロック信号まで、ハイサイド MOSFET はオフ状態に保たれます。

ハイサイド MOSFET がオフになると、固定されたデッドタイムの後、ローサイド MOSFET がオンになります。ローサイド MOSFET がオフになるタイミングは、次の PWM サイクルにおけるハイサイドのオン・タイミングか、インダクタ電流がゼロになるタイミング (ダイオード・エミュレーション・モードの選択時) によって決まります。

外付けハイサイド/ローサイド MOSFET における不必要な貫通電流を防止する目的で、このデバイスはアダプティブ・デッドタイム制御機能と内部固定されたデッドタイムを備えています。ハイサイドからローサイドへのスイッチング遷移でも、ローサイドからハイサイドへのスイッチング遷移でも、内部固定されたデッドタイムは通常 55ns です。

出力電圧は、 V_{OUT} と FB ピンの間の抵抗分圧回路によって検出されます。FB 電圧と 1.6V (typ) 基準電圧の差が増幅および補償されることにより、PWM 生成回路に使用される誤差電圧信号が COMP ピンで生成されます。

電流センス

ISL78268 は、2 つの電流センス・アンプを備えています。1 つは PWM 制御と過電流保護を目的としたハイサイド MOSFET のピーク電流センス用で、もう 1 つは平均電流制御とダイオード・エミュレーションのタイミング制御を目的とした出力インダクタ電流センス用です。

電流センス・アンプ 1 (CSA1)

電流センス・アンプ 1 (CSA1) は、ハイサイド MOSFET と直列に接続された電流センス抵抗のインダクタ電流を検出するのに使用されます。検出された電流の情報 (I_{SEN1}) は、ピーク電流モード制御と過電流保護に利用されます。ピーク電流モード制御は、[PWM 動作](#) で説明したように、PWM 制御ループ中の CSA1 と共に動作します。

サイクルごとのピーク電流リミット (OC1) は、 I_{SEN1} を $70\mu\text{A}$ のスレッシュホールドと比較することによって行われます。PWM パルスは、ピーク電流リミット・コンパレータのスレッシュホールドに達すると終了します。 I_{SEN1} が $93\mu\text{A}$ (OC2 スレッシュホールド) に達した過負荷状態では、IC が HIC/LATCH ピンの設定に応じてラッチオフ・モードまたはヒカップモードに移行します。ラッチオフ・モードが選択されている場合、デバイスは OC2 がトリップした時点でスイッチングを停止し、EN または VIN が切り替えられるまでリスタートしません。ヒカップモードが選択されている場合は、PWM が 500ms (typ) の間デイスエーブルになることから、ソフトスタート・サイクルが開始されます。ヒカップまたはラッチオフに移行するには、OC2 フォルトが 3 回連続して発生する必要があります。ソフトスタート時および通常の動作モードにて、OC2 ヒカップ/ラッチオフがイネーブルとなります。

電流センス・アンプ 2 (CSA2)

電流センス・アンプ 2 (CSA2) は、DCR センス方式を使用するか、さらに正確な検出が必要な場合はインダクタと直列に接続されたセンス抵抗を使用して、連続 (R_{SEN1} のようなパルスではない) インダクタ電流を検出します。検出された電流信号は、以下の 3 つの機能に利用されます。

- 平均定電流制御
- ダイオード・エミュレーション
- 平均 OC 保護

また、 I_{SEN2P} の電圧が最小出力電圧のモニタリングに利用されます。過負荷状態 (OC1) または平均定電流制御のもとでは、電圧が約 1.2V (typ) を下回ると、デバイスがスイッチングを停止し、ラッチオフ/ヒカップモードに移行します。

上記の 3 つの機能が不要なアプリケーションでは、CSA2 を VCC (または VIN) に接続してください。

センス抵抗の電流センス

センス抵抗は、インダクタと直列に接続できます。図 44 に示すように、ISL78268 はセンス抵抗の両端間電圧を検出します。CSA1 は、ハイサイド MOSFET の電流を検出するのに使用されます。センス抵抗は、入力コンデンサとハイサイド MOSFET の間に接続されます。

CSA2 は、インダクタ電流を検出するのに使用されます。センス抵抗は、インダクタと出力コンデンサの間に接続されます。

電流センス・アンプの ISEN(n)P と ISEN(n)N における電圧は、強制的に等しくなります。RSET(n) の両端間電圧は、RSEN(n) 抵抗の両端間の電圧低下と同等です。そのため、ISEN(n)P ピンに流入する電流は RSEN(n) の電流に比例します。次の式 4 が成り立ちます。

$$I_{SEN(n)} = I_{R_{SEN(n)}} \cdot \frac{R_{SEN(n)}}{R_{SET(n)}} \quad (式 4)$$

RSET(n) は、図 44 に示した RSET(n)A と RSET(n)B の和です。

ISEN(n)P と ISEN(n)N は同じバイアス電流 (112µA typ) を持つので、オフセットがないように抵抗 RBIAS(n) と RSET(n) を合わせる必要があります。

スイッチング電流からのノイズ流入を防ぐ目的で、RSET 抵抗間にフィルタ・コンデンサを接続することを推奨します。RSET(n) が 665Ω の場合、通常は 220pF のセラミック・コンデンサを使用します。

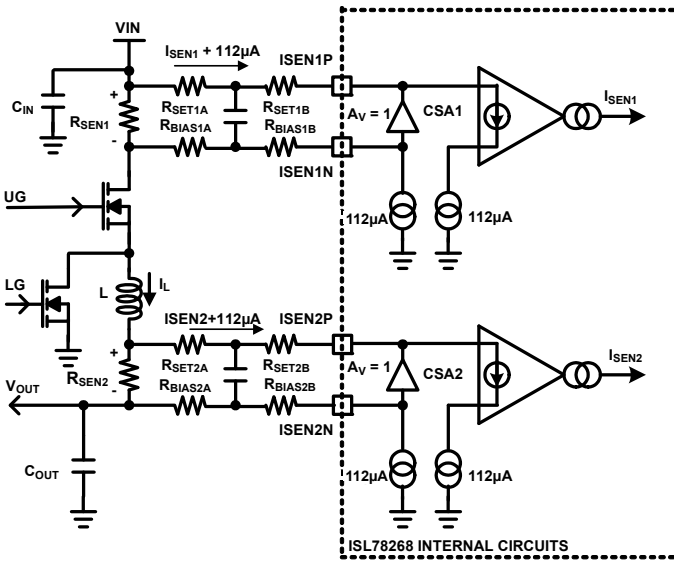


図 44. センス抵抗の電流センス

インダクタ DCR センス

インダクタは、DCR (直流抵抗) パラメータで測定される分布抵抗を備えています。

図 45 に示すように、インダクタ DCR はひとまとめの値としてモデル化できます。式 5 では、インダクタ VL の両端間の S 領域等価電圧を求めています。

$$V_L = I_L \cdot (s \cdot L + DCR) \quad (式 5)$$

図 45 に示すように、インダクタに接続されるシンプルな RC ネットワークにより DCR 電圧を抽出できます。

コンデンサの電圧 VCDCRS は、チャネル電流 IL に比例しています。式 6 を参照してください。

$$V_{CDCRS} = \frac{\left(s \cdot \frac{L}{DCR} + 1\right) \cdot (DCR \cdot I_L)}{R_{DCRS} \times \left(\frac{1}{R_{SET}} + s \cdot C_{DCRS}\right) + 1} \quad (式 6)$$

2π*fSW*CDCRS が 1/RSET を大幅に上回るように CDCRS を選択した場合、1/RSET は無視できるほど小さくなります。また、時定数 (RDCRS*CDCRS) がインダクタの時定数 (L/DCR) と一致するように RC ネットワークの部品を選択した場合、コンデンサの両端間電圧 VCDCRS は DCR の両端間の電圧低下と等しくなります。つまり、インダクタ電流に比例します。

内蔵電流センス・アンプによって、コンデンサの電圧 VCDCRS はセンス抵抗 RSET2 の両端間で維持されます。したがって、ISEN2P ピンに流入する電流もインダクタ電流に比例します。式 7 に、DCR センスを使用した場合の、検出された電流 ISEN2 とインダクタ電流 (IL) の関係を示します。

$$I_{SEN2} = I_L \cdot \frac{DCR}{R_{SET2}} \quad (式 7)$$

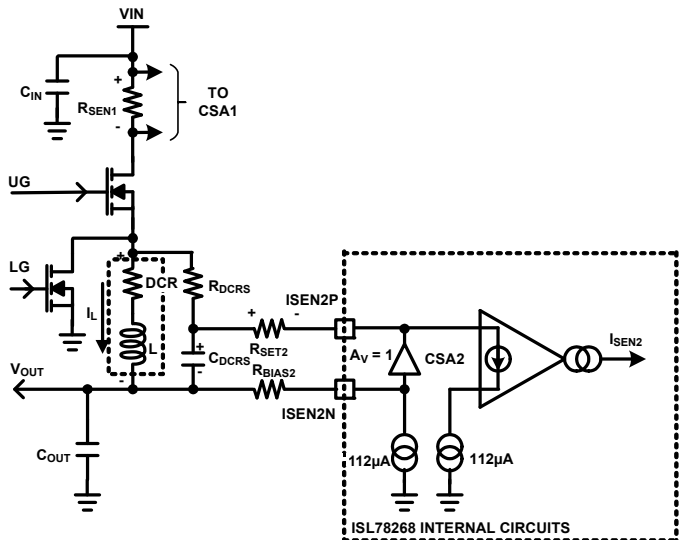


図 45. インダクタ DCR 電流センス

設定可能な傾き補償

デューティ・サイクルが 50% を上回る場合、ピーク電流モードで動作する降圧コンバータは傾き補償を必要とします。ただし、負荷変動ステップによってデューティ・サイクルが定常状態レベルよりも押し上げられる可能性があるため、デューティ・サイクルが約 30% 以上の場合に傾き補償を追加することを推奨します。傾き補償が少なすぎると、コンバータでサブハーモニクス発振が発生し、スイッチング周波数の半分でノイズが生じることがあります。逆に、過剰な傾き補償は位相マージンの減少につながる可能性があります。したがって、傾き補償は適切に設計する必要があります。

ISL78268 では、SLOPE ピンと GND の間の抵抗値 RSLOPE を設定することで傾き補償を調整できます。図 46 に、傾き補償に関連したブロック図を示します。

電流モード制御の場合、理論上は、補償の傾き m_{SL} がインダクタ電流の立ち下がり傾き m_b の 50% を上回る必要があります。

補償の傾きを定めるための SLOPE ピンの抵抗値は、式 8 で求められます。

$$R_{SLOPE} = \frac{L \times 10^6 \times R_{SET}}{K \times V_{OUT} \times R_{SEN} \times 1.5} \quad (\text{式 8})$$

K は、インダクタの立ち下がり傾きに対する補償の傾きのゲインです。たとえば、K = 1 を選択した場合、補償の傾きを定める R_{SLOPE} の値はインダクタ電流の立ち下がり傾きと等しくなります。理論上、K は 0.5 よりも大きくする必要があります。実際のアプリケーションでは、一般的に 1.0 より大きな値が使用されます。

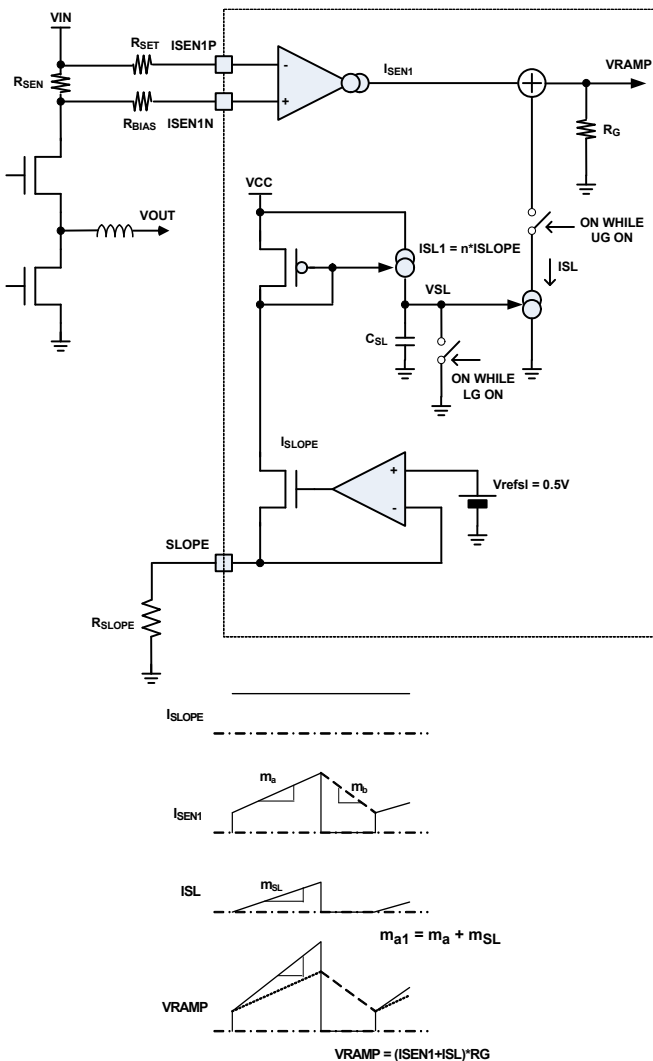


図 46. 傾き補償ブロック

軽負荷時の効率の向上

スイッチング・モード電源の場合、合計損失は導通損失とスイッチング損失の両方に関連しています。高負荷状態では導通損失の割合が大きく、軽負荷状態ではスイッチング損失の割合が大きくなります。ISL78268 は、サイクルごとの DE (ダイオード・エミュレーション) モードに設定できるオプションと、パルス・スキップ機能によって、軽負荷時の効率を高めています。

DE モードを選択するには、IMON/DE を使用します。IMON/DE を外付け抵抗に接続するか、GND に短絡させると、DE モードを選択できます。一方、IMON/DE ピンを VCC レベルにプルアップすると、デバイスは強制 PWM モードで動作します。

DE モードを実行する際は、電流センス・アンプ CSA2 を使用し、DCR センスまたは正確な電流シャント抵抗によって出力インダクタ電流を検出します。

軽負荷状態におけるダイオード・エミュレーション

DE モードが選択されている場合、インダクタ電流が不連続モード (DCM) 動作に入ると、ISL78268 コントローラがローサイド MOSFET をオフにして、DE モードに移行します。

サイクルごとのダイオード・エミュレーション方式を利用すれば、逆電流の防止や、電力段の RMS 電流の削減による効率化が可能です。

ソフトスタート期間中は、PGOOD のプルダウンが解放されるまで、ローサイド MOSFET が強制的にオフになります (DE モードと強制 PWM モードのいずれを選択した場合も該当)。

超軽負荷状態におけるパルス・スキップ

コンバータが DE モードに移行してから、負荷がさらに軽減されると、COMP 電圧が最小スレッシュホールドを下回ります。すると、デバイスはパルスをスキップすることによって、超軽負荷状態における効率を高めます。

平均定電流制御

通常の PWM 動作では、検出されたピーク電流が誤差アンプ制御電圧に達すると、PWM パルスが終了します。ただし、バッテリー充電など一部のアプリケーションでは、出力電圧制御よりも定電流制御のほうが望ましいこともあります。このような要件に対応するため、ISL78268 は、レギュレーション状態の FB 出力電圧を平均電流を制御できる平均定電流制御ループを備えています。

平均定電流制御は、目標出力電圧の約 25% ~ 100% の範囲で動作します。これは、ソフトスタート・シーケンスの $t_6 \sim t_7$ で説明した機能によるものであり、FB 電圧 (VFB) が 0.4V を下回る場合、デバイスはハイサイド MOSFET の最小オン時間のもと 50kHz (typ) で動作します。

IMON/DE ピンは、平均定電流制御と平均過電流保護 (AVGOCP) に使用される平均電流をモニタリングします。出力電流に相当する電流センス・アンプ 2 (CSA2) の出力電流 I_{SEN2} は、このピンから供給されます (R_{SEN} と R_{SET} の位置については図 44 を参照)。式 9 に、出力電流 (I_{OUT}) と IMON/DE ピンの電流 (I_{IMON}) の関係を示します。リップル電流信号をフィルタで取り出して、平均出力電流に相当する電圧信号に変換できるように、RC ネットワークを IMON/DE ピンと GND の間に接続する必要があります。また、設定可能な電流リミット回路が制御ループの安定性に干渉しないように、RC ネットワークの時定数を電圧ループ帯域幅より 10 ~ 100 倍程度低速にする必要があります。IMON/DE ピンの電圧 V_{IMON} は、式 10 で求められます。

$$I_{IMON} = \left(I_{OUT} \cdot \frac{R_{SEN}}{R_{SET}} + 68 \times 10^{-6} \right) \cdot 0.125 \quad (\text{式 9})$$

$$V_{IMON} = I_{IMON} \cdot R_{IMON} \quad (\text{式 10})$$

IMON/DE ピンの電圧が 1.6V (typ) に達すると、デバイスの平均定電流制御ループがハイサイド MOSFET のオン時間を制限して、出力電流を一定に保ちます。平均定電流制御が機能している間は、デューティ・サイクルの減少によって、出力電圧がプリセット出力電圧より低くなる場合があります。必要な平均出力電流を得るための R_{IMON} は、[式 11](#) で求められます。

$$R_{IMON} = \frac{12.8}{I_{OUT} \cdot \frac{R_{SEN}}{R_{SET}} + 68 \times 10^{-6}} \quad (\text{式 11})$$

フォルト・モニタリング / 保護

ISL78268 では、入出力電圧および電流を能動的にモニタリングして、フォルト状態を検出します。フォルト・モニタは、負荷のダメージを防ぎます。

PGOOD 信号

フォルト・モニタリング用にパワーグッド・インジケータ・ピン (PGOOD ピン) が用意されています。PGOOD ピンは、ソフトスタート期間が完了し出力電圧が指定範囲内に達したことを示すオープン・ドレイン・ロジック出力です。PGOOD ピンと VCC または外部電源 (5.5V max) との間には、外付けプルアップ抵抗 (10kΩ ~ 100kΩ) を接続する必要があります。このピンはソフトスタート時に Low になります。SS ピンの電圧が SS クランプ電圧 (3.4V typ) に達すると、0.5ms (typ) の遅延の後、PGOOD ピンが High に解放されます。出力 UV/OV フォルトや VIN OV フォルトが発生した場合、または EN が Low になった場合は、10μs (typ) のブランキング・フィルタを経て PGOOD が Low になります。これらのフォルトが解消されると、0.5ms (typ) の遅延の後、PGOOD ピンが High に解放されます。

ヒカップ / ラッチオフ動作

フォルト検出への応答として、HIC/LATCH ピンの設定によりヒカップモードまたはラッチオフ・モードを選択できます。HIC/LATCH ピンを High (VCC) にすると、フォルト応答はヒカップモードになります。HIC/LATCH ピンを Low (GND) にすると、フォルト応答はラッチオフ・モードになります。

ヒカップモードでは、フォルト状態が検出されると、デバイスがスイッチングを停止し、500ms (typ) 後にソフトスタートからリスタートします。フォルト状態が完全に解消されるまで、この動作が繰り返されます。

ラッチオフ・モードでは、フォルト状態が検出されると、デバイスがスイッチングを停止し、フォルト状態が解消された後もオフのままに保たれます。EN ピンを切り替えるか、POR スレッショルド未満で VIN の印加を繰り返すと、システムがリスタートします。

入力過電圧保護

ISL78268 は、入力電源に対する過電圧 (OV) フォルト保護機能を備えています。VIN が 58V (typ) を上回ると、UG ゲートドライバと LG ゲートドライバがディスエーブルになり、PGOOD ピンが Low になります。ノイズ・スパイクが入力 OV をトリガしないように、10μs (typ) の過渡フィルタが設けられています。入力 OV 応答は、ラッチオフまたはヒカップから選択できます。

ヒカップおよびラッチオフにおける出力 OV からの回復は、[「ヒカップ / ラッチオフ動作」](#) で説明したものと同じです。ヒカップモードを選択した場合、入力 OV 回復スレッショルドは 55V (typ) 未満です。

出力アンダーボルテージ検出

ISL78268 は、出力アンダーボルテージ状態を検出します。出力アンダーボルテージ・スレッショルドは、1.6V FB 基準電圧の 87.5% (typ) に設定されています。FB 電圧が 10μs (typ) よりも長い間アンダーボルテージ・スレッショルドを下回ると、PGOOD ピンがプルダウンされます。出力電圧が FB 基準電圧の 90.5% (typ) となるアンダーボルテージ回復スレッショルドを上回れば、0.5ms (typ) の遅延の後、PGOOD がプルアップされます。OC2、AVGOCP、入力 OVP、またはサーマル・シャットダウン保護がトリガされている場合を除き、アンダーボルテージ状態でもデバイスは通常動作を継続します。

出力過電圧検出 / 保護

ソフトスタートが完了すると、ISL78268 の出力過電圧 (OV) 検出回路がアクティブになります。出力電圧は FB ピンでモニタリングされ、出力 OV トリップ・ポイントは FB 基準電圧の 115% (typ) に設定されています。出力 OV 状態が 10μs (typ) のブランキング時間を超えると、PGOOD ピンがプルダウンされ、コントローラはヒカップモードまたはラッチオフ・モードに移行します。

ヒカップおよびラッチオフにおける出力 OV からの回復は、[「ヒカップ / ラッチオフ動作」](#) で説明したものと同じです。ヒカップモードを選択した場合、出力 OV 回復スレッショルドは FB 基準電圧の 112% (typ) です。

サイクルごとのピーク過電流リミット / 保護

ISL78268 は、CSA1 でピーク電流を検出することにより、サイクルごとのピーク過電流保護を行います。IC は、電流センス抵抗 (R_{SEN1}) を流れる電流に比例した CSA1 出力電流 ([式 4](#) で計算された I_{SEN1}) と、2つの過電流保護スレッショルド (OC1 は 70μA、OC2 は 93μA) を継続的に比較します。

OC1 と OC2 のレベルは、[式 12](#) と [式 13](#) で求められます。

$$I_{OC1} = 70 \times 10^{-6} \times \frac{R_{SET}}{R_{SEN}} \quad (\text{式 12})$$

$$I_{OC2} = 93 \times 10^{-6} \times \frac{R_{SET}}{R_{SEN}} \quad (\text{式 13})$$

I_{SEN1} が OC1 スレッショルドに達すると、ハイサイド MOSFET がオフになります。それに伴い、コンバータのデューティ・サイクルが減少して、出力電圧が低下します。

OC1 保護によってコントローラのデューティ・サイクルが最小になった後に、出力電流が 3 スイッチング・サイクル連続して OC2 スレッショルドまで上昇した場合、コントローラはゲートドライバをディスエーブルにして、ヒカップモードまたはラッチオフ・モードに移行します。

ヒカップおよびラッチオフにおける OC2 からの回復は、[「ヒカップ / ラッチオフ動作」](#) で説明したものと同じです。

OC1 のサイクルごとの電流リミットと OC2 保護は、ソフトスタート期間および通常動作期間にアクティブとなります。

平均過電流保護

平均定電流制御ループがアクティブな場合、IC は平均過電流保護も行います。

出力電流が増加し、平均定電流制御ループによってデューティ・サイクルが最小になると、 V_{IMON} 電圧が 1.6V を上回ります。 V_{IMON} が 2V (typ) に達した時点で、ISL78268 はゲートドライバを停止し、ヒカップモードに移行します。この機能により電圧レギュレータの安全性が向上しています。

式 14 では、必要な平均過電流保護レベル I_{OCPAVG} を得るための R_{IMON} 値を求めています。

$$R_{IMON} = \frac{16}{I_{OCPAVG} \cdot \frac{R_{SEN}}{R_{SET}} + 68 \times 10^{-6}} \quad (\text{式 14})$$

ソフトスタート期間が完了するまで、平均過電流保護 (IMON/DE で 2V REF) はアサートされません。

逆電流リミット

軽負荷時に強制 PWM モードで動作している場合、ローサイド MOSFET がオンになると、出力コンデンサから GND に逆電流が流れます。ISL78268 では、サイクルごとの逆電流リミットによって過剰な逆電流を防止しています。ピーク逆電流リミット (I_{NEGLIM}) スレッシュホールドは、式 15 で求められます。

$$I_{NEGLIM} = -50 \times 10^{-6} \times \frac{R_{SET}}{R_{SEN}} \quad (\text{式 15})$$

過熱保護

ジャンクション温度が +160°C (typ) に達すると、ISL78268 のスイッチングがディスエーブルになり、ヒカップモードまたはラッチオフ・モードに移行します。ヒカップモードが選択されている場合、15°C (typ) のヒステリシスによって、ヒカップモードではジャンクション温度が +145°C (typ) を下回るまでデバイスがリスタートしないことが保証されます。

内蔵 5.2V LDO

ISL78268 には、VIN から入力し、PVCC から 5.2V/100mA の固定電圧/電流を出力する LDO が内蔵されています。4.7μF、10V 以上で X5R または X7R 仕様のセラミック・コンデンサを PVCC と GND の間に接続することを推奨します。この LDO の出力は、主に内蔵回路のバイアス電源として使用されます。ノイズの少ない電源レールを内蔵アナログ回路に提供できるように、PVCC と VCC の間に RC フィルタを接続することを推奨します。PVCC と VCC の間には 10Ω の抵抗を、VCC と GND の間には 1μF 以上のセラミック・コンデンサを推奨します。

内蔵 LDO の出力電流リミット

内蔵 LDO は、VIN の入力電源範囲として 55V (絶対最大定格 60V) まで対応しています。ただし、ゲートドライバがゲート電荷の大きな外付け MOSFET を駆動する場合は特に、LDO での電力損失を考慮に入れる必要があります。 V_{IN} が高くなると、LDO で大きな電力損失が発生します。その結果、ジャンクション温度が上昇して、サーマル・シャットダウンが実行されることがあります。

図 47 に、最大許容 LDO 出力電流と入力電圧の関係を示します。各曲線は、パッケージの熱抵抗 θ_{JA} が +39°C/W の場合に基づいています。

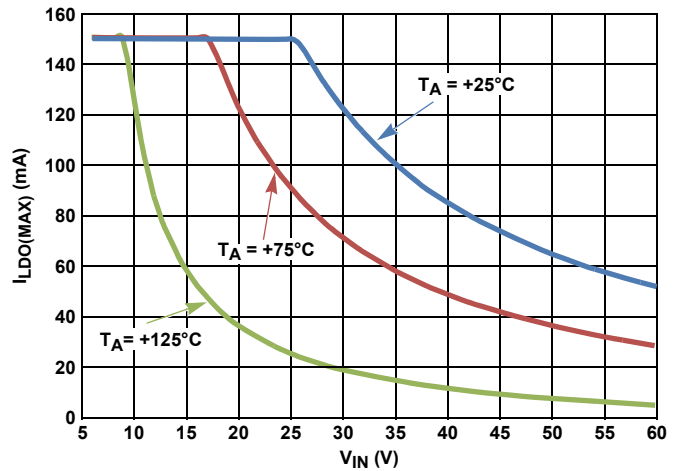


図 47. 電力ディレーティング曲線

図 48 に示すように、最大 LDO 電流は外付け PNP トランジスタによって付加できます。これには、電力損失の大半を ISL78268 から外付けトランジスタに移せるという利点があります。外付けトランジスタがオンになる際に LDO が約 10mA の電流を供給できるように、 R_S には 68Ω を選択してください。外付け回路は最小入力電圧を約 6.5V まで上昇させます。

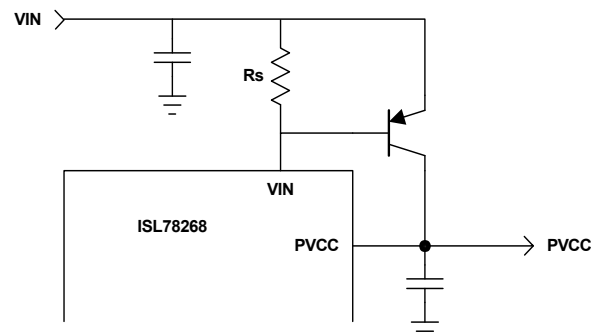


図 48. LDO 電流の補足

アプリケーション情報

降圧レギュレータの外付け部品とパラメータを決定するには複数の方法があります。ここでは、8 ページの図 4 に示したアプリケーション回路例に基づいて、外付け部品のパラメータを決める方法の一例を紹介します。実際のアプリケーションでは、アプリケーション固有のノイズ、物理的なサイズ、熱特性、テストなどの要件に応じて、パラメータの調整や、わずかな部品の追加が必要になることがあります。

出力電圧の設定

レギュレータの出力電圧 (V_{OUT}) は、 V_{OUT} と FB の間および FB と GND の間に接続された外付け抵抗分圧回路によってプログラム可能です。 V_{OUT} は次式で求められます。

$$V_{out} = 1.6 \times \left(1 + \frac{R_{FB1}}{R_{FB0}} \right) \quad (\text{式 16})$$

実際のアプリケーションでは、静止電流要件とループ応答を考慮して抵抗値を決定します。 R_{FB0} には通常、10kΩ ~ 30kΩ の抵抗が使用されます。

スイッチング周波数

スイッチング周波数は、システム・レベルの応答時間、ソリューション・サイズ、EMC/EMIの制限、電力損失/効率、リップル・ノイズ・レベル、最小/最大入力電圧範囲など複数の要件を考慮して決定します。周波数を高くするほど、負荷応答が向上し、ソリューション・サイズの小型化が可能になります。ただし、スイッチング損失が増加することや、EMC/EMIに関する問題が発生することがあります。したがって、スイッチング周波数を決める際は、パラメータ間のバランスを調整する必要があります。

スイッチング周波数が決まれば、[式 1](#) で周波数設定抵抗 (R_{SYNC}) を求められます。

出力インダクタの選択

降圧コンバータが安定した連続モード (CCM) で動作している場合、ハイサイド・トランジスタの出力電圧とオン時間は [式 17](#) で求められます。

$$V_{OUT} = V_{IN} \cdot \frac{t_{ON}}{T} = V_{IN} \cdot D \quad (\text{式 17})$$

T はスイッチング・サイクル ($1/f_{SW}$) で、 $D = t_{ON}/T$ はハイサイド・トランジスタのオンデューティです。

この CCM 状態のインダクタ・リップル電流は、[式 18](#) で求められます。

$$I_{L(P-P)} = t_{ON} \cdot \frac{V_{IN} - V_{OUT}}{L} = t_{OFF} \cdot \frac{V_{OUT}}{L} \quad (\text{式 18})$$

これまでの式から、インダクタ値は [式 19](#) のようになります。

$$L = \frac{V_{IN} - V_{OUT}}{f_{SW}} \cdot \frac{V_{OUT}}{V_{IN}} \quad (\text{式 19})$$

一般に、インダクタ値が決まれば、リップル電流を左右するのは入力電圧となります。最大入力電圧では、オンデューティが最小になり、リップル電流が最大になります。したがって、最小インダクタ値は [式 20](#) で概算できます。

$$L_{min} = \frac{V_{IN_{max}} - V_{out}}{f_{SW} \cdot \Delta I_{L_{max}}} \cdot \frac{V_{OUT}}{V_{IN_{max}}} \quad (\text{式 20})$$

DC/DC コンバータの設計では、このリップル電流を最大 DC 出力電流の約 20% ~ 50% に設定します。インダクタ値の調整に当たっては、最大 DC 出力電流の約 30% がスタートポイントとして適切です。

インダクタ値を増すと、リップル電流は減少しリップル電圧も低くなります。ただし、インダクタンス値が大きくなると、コンバータの負荷変動への応答時間が悪くなることがあります。また、ランプ信号が小さくなり、ノイズ感受性の問題が発生することもあります。

安定動作状態におけるインダクタのピーク電流は、出力電流とリップル電流の 1/2 との和になります。

$$I_L = \frac{I_{L(P-P)}}{2} + I_{OUT} \quad (\text{式 21})$$

最大負荷状態におけるこのピーク電流は、インダクタの飽和電流定格よりも十分に小さくする必要があります。実際の設計では、最大ピーク電流はスタートアップ時や高負荷変動時に見られます。したがって、こうした条件を考慮の上インダクタのサイズを決定してください。また、インダクタの飽和

定格を超過しないようにするため、OCPトリップ・ポイントを最大ピーク電流とインダクタの飽和電流定格の間に設定することを推奨します。

出力コンデンサ

インダクタ電流リップルをフィルタリングし、十分な負荷応答を得る目的で、出力コンデンサが必要です。

電流モード制御ループを使用すると、低 ESR セラミック・コンデンサを使用できるようになり、省スペースな基板レイアウトを実現できます。電解コンデンサやポリマー・コンデンサも使用できます。

ただし、セラミック・コンデンサを使用する際は、さらなる考慮が必要になります。セラミック・コンデンサは総合的性能に優れ、高い信頼性もありますが、DC バイアス状態で使用する場合は、実際の容量が表記されている値よりも大幅に少なくなることがあります。実効容量が定格値を 50% 下回ることも珍しくありません。

必要なリップル電圧レベルに適合するコンデンサ容量は、以下の式で求められます。コンデンサ容量を追加すると、リップル電圧を削減し、負荷応答を向上させることができます。

セラミック・コンデンサ (低 ESR) の場合：

$$V_{OUT_{Tripple}} = \frac{\Delta I_L}{8 \cdot f_{SW} \cdot C_{OUT}} \quad (\text{式 22})$$

ΔI_L はインダクタのピークツーピーク・リップル電流、 f_{SW} はスイッチング周波数、 C_{OUT} は出力コンデンサです。

リップル電流に基づく必要な最小出力コンデンサ容量は、次式で求められます。

$$C_{OUT_{min}} = \frac{\Delta I_L}{8 \cdot f_{SW} \cdot V_{OUT_{min}}} \quad (\text{式 23})$$

電解コンデンサを使用する場合は、ESR がリップル電圧の多くの部分を占めます。

$$V_{OUT_{Tripple}} = \Delta I_L \cdot ESR \quad (\text{式 24})$$

したがって、リップル電圧を下げるには、インダクタ値を増やしてリップル電流を削減するか、複数のコンデンサを並列に接続することによって、ESR を減らしてください。

出力コンデンサの選択に影響を与えるその他の要素として、負荷応答が挙げられます。負荷応答を考慮したコンデンサ容量を求めるには、負荷が突然減少した場合に V_{OUT} に許容されるオーバーシュートを決定することが、適切なスタートポイントとなります。この場合、インダクタに蓄えられたエネルギーが C_{OUT} に伝わり、コンデンサ電圧が上昇します。レギュレーション状態の電圧に対応する望ましいオーバーシュート・レベルを実現するために必要な出力コンデンサの値は、[式 25](#) で求められます。

$$C_{OUT_{tran}} = \frac{I_{OUT}^2 \cdot L}{V_{OUT}^2 \cdot \left(\left(\frac{V_{OUT_{max}}}{V_{out}} \right)^2 - 1 \right)} \quad (\text{式 25})$$

$V_{OUT_{max}}/V_{OUT}$ は、負荷電流が減った時に許容される相対的な最大オーバーシュートです。

リップルの要件と負荷応答の要件の両方に必要な容量を計算した後、計算結果のうち大きい方を出力コンデンサ容量として選択してください。バイアスがかけられた電圧と温度範囲の全体にわたって十分な容量を確保できるように、X7R や X5R などの高品質コンデンサを推奨します。

入力コンデンサ

システムの入力電源レールの状態によりますが、通常はアルミ電解コンデンサを使用します。アルミ電解コンデンサの使用により、安定した入力電圧を供給することや、入力トレース上の狭いエリアでスイッチング周波数パルス電流を制限し EMC 性能を高めることが可能です。入力コンデンサは、スイッチング・パワーデバイスからの RMS 電流に対応する必要があります。

IC の VIN ピンにはセラミック・コンデンサを使用する必要があり、 $1\mu\text{F}$ と $0.1\mu\text{F}$ を含む複数のセラミック・コンデンサの使用を推奨します。

入力コンデンサはICのできるだけ近くに配置してください。

パワー MOSFET

ISL78268 コントローラによって駆動される外付け MOSFET は、同期整流型降圧レギュレータの設計を最適化できるように、慎重に選択する必要があります。

ISL78268 の入力電圧は最大で 55V に達するので、MOSFET の BV_{dss} 定格は、許容入力電圧とスイッチング時の PH ノード電圧変動に対して十分な電圧マージンを確保している必要があります。

UG ゲートドライバと LG ゲートドライバの出力は 5V なので、MOSFET の VGS もこの範囲内に収める必要があります。

MOSFET には、合計ゲート電荷 (Q_{gd})、 $\text{VGS} = 4.5\text{V}$ におけるオン抵抗 ($r_{\text{DS(ON)}}$ 、 $10\text{m}\Omega$ 未満を推奨)、ゲート抵抗 ($R_{\text{g}} < 1.5\Omega$ を推奨) がいずれも小さいものを選択してください。最小 VGS スレッシュホールドが 1.2V より高く 2.5V 以下のものを推奨します。これは、フェーズ・ノードの高速遷移と最大ゲートドライブ電圧の制限に起因する、ローサイド・トランジスタでのゲート・ドレイン電流に関連した大きなゲート・プルダウン電流を考慮に入れた結果です。最大ゲートドライブ電圧は、ローサイド MOSFET では 5.2V (typ) であり、ハイサイド MOSFET ではブート・ダイオードの低下により 4.5V (typ) 未満となります。

ブートストラップ・コンデンサ

ハイサイド MOSFET ドライブに必要な電力は、BOOT ピンと PH ピンの間に接続されたブート・コンデンサによって供給されます。ブートストラップ・コンデンサは、式 26 に基づいて選択できます。

$$C_{\text{BOOT}} > \frac{Q_{\text{gate}}}{dV_{\text{BOOT}}} \quad (\text{式 26})$$

Q_{gate} はハイサイド MOSFET の合計ゲート電荷、 dV_{BOOT} はハイサイド MOSFET をオンにする際のブートストラップ・コンデンサ両端間での最大低下電圧です。

ブートストラップ・コンデンサの両端間での最大充電電圧は、PVCC からブートストラップ・ダイオードの低下分を引いたもの ($\sim 4.5\text{V}$) ですが、PH ノードによる GND 未満での大きな逸脱のため、このセラミック・コンデンサには 10V 以上

の定格が必要です。バイアスがかけられた電圧と温度範囲の全体にわたって十分な容量を確保できるように、X7R や X5R などの高品質コンデンサを推奨します。

ブートストラップ回路の抵抗

実際のアプリケーションでは、PH ノードや BOOT ノードで大きなリングング・ノイズが発生することがあります。このノイズは、ローサイド MOSFET をオフにした際にそのボディ・ダイオードに蓄えられていたエネルギーによって生じるほか、PCB の配線に起因する PH ノードの寄生容量や、寄生インダクタンスも原因となります。このノイズを低減するには、BOOT ピンとブートストラップ・コンデンサの間に抵抗を追加します。抵抗値を大きくすると、PH ノードでのリングング・ノイズが減少しますが、特にコントローラがきわめて高いデューティ・サイクルで動作している場合、ローサイド MOSFET のオン時間におけるブートストラップ・コンデンサの充電が制限されます。

この目的には通常、最大で 10Ω の抵抗が使用されます。

ループ補償の設計

ISL78268 は、誤差アンプとして G_m アンプを使用する定周波数ピーク電流モード制御アーキテクチャを採用しています。ピーク電流センスと過電流保護を目的に、外付け電流センス抵抗を必要とします。図 49 と 50 に、概念回路図と概念制御ブロック図を示します。

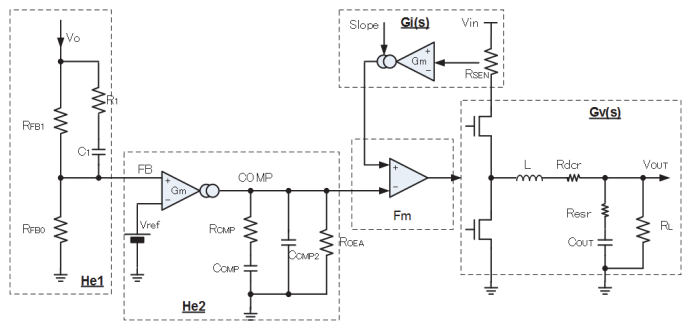


図 49. ピーク電流モード制御降圧レギュレータの概念ブロック図

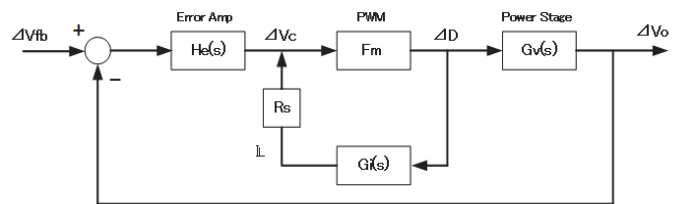


図 50. 概念制御ブロック図

出力段は、デューティ信号を出力電圧に変換する電力段 ($G_V(s)$) と、デューティをセンス電流に変換する内部電流ループ段で構成されています。

電力段の伝達関数

電力段の伝達関数 ($G_V(s)$) は、式 27 で求められます。

$$G_V(s) = V_{\text{IN}} \cdot \left(1 + \frac{s}{\omega_{\text{esr}}}\right) \cdot \frac{1}{1 + \frac{s}{Q_p \cdot \omega_n} + \left(\frac{s}{\omega_n}\right)^2} \quad (\text{式 27})$$

ここで、

$$\omega_{esr} = \frac{1}{C_{OUT} \cdot R_{esr}}$$

$$Q_p \approx R_{OUT} \cdot \sqrt{\frac{C_{OUT}}{L}}$$

$$\omega_n = \frac{1}{\sqrt{L \cdot C_{OUT}}}$$

内部電流ループの伝達関数

制御からインダクタ電流までの伝達関数 ($G_i(s)$) は、[式 28](#) で求められます。

$$G_i(s) = \frac{V_{IN}}{R_{OUT}} \cdot \left(1 + \frac{s}{\omega_0}\right) \cdot \frac{1}{1 + \frac{s}{Q_p \times \omega_n} + \left(\frac{s}{\omega_n}\right)^2} \quad (式 28)$$

ここで、

$$\omega_0 = \frac{1}{C_{OUT} \cdot R_{OUT}}$$

$$Q_p \approx R_{OUT} \cdot \sqrt{\frac{C_{OUT}}{L}}$$

$$\omega_n = \frac{1}{\sqrt{L \cdot C_{OUT}}}$$

PWM コンパレータ・ゲイン F_m

ピーク電流モード制御の PWM コンパレータ・ゲイン F_m は、[式 29](#) で求められます。

$$F_m = \frac{D}{V_{ramp}} = \frac{1}{(m_a + m_{SL}) \cdot T} \quad (式 29)$$

m_{SL} は傾き補償のスルーレートです。 m_a はハイサイド MOSFET がオンの際のインダクタ電流のスルーレートであり、[式 30](#) で求められます。

$$m_a = R_s \cdot \frac{V_{IN} - V_{OUT}}{L} \quad (式 30)$$

R_s は電流センス・アンプのゲインです。

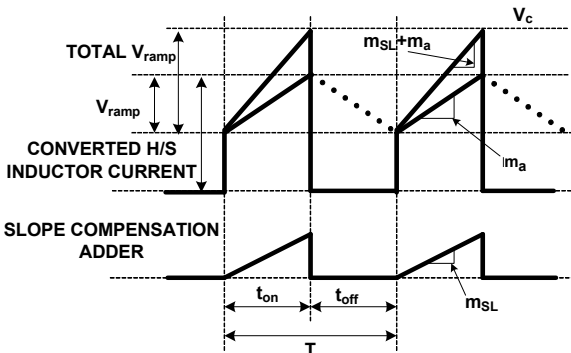


図 51. 変換されたセンス電流の波形

PWM コンパレータから電力段までの合計伝達関数

PWM から内部電流センス・ループを含む電力段までの合計伝達関数は、[式 31](#) で求められます ($F_m \cdot G_i(s) \cdot R_s \gg 1$ と仮定)。

$$G_T(s) = \frac{F_m}{1 + F_m \cdot G_i(s) \cdot R_s} \cdot G_V(s) \approx \left(\frac{R_{out}}{R_s} \cdot \frac{1 + \frac{s}{\omega_{esr}}}{1 + \frac{s}{\omega_0}} \right) \quad (式 31)$$

[式 31](#) は、システムが一次系の場合の式です。したがって、単純なタイプ II 補償回路で系の安定化を図れます。ただし実際のアプリケーションでは、タイプ III 補償回路を使用すると、より多くの位相マージンを得られます。

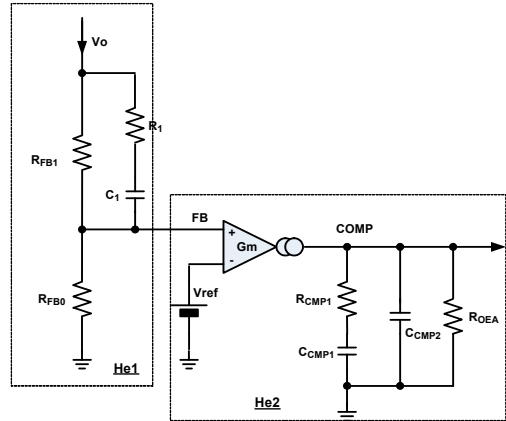


図 52. タイプ III 補償回路

補償回路の設計

誤差アンプとその補償ネットワークの伝達関数は、[式 32](#) で求められます。

$$H_{e2}(s) = \frac{V_{COMP}}{V_{FB}} = g_m \cdot Z_{COMP} = g_m \cdot \frac{(1 + sR_{COMP}C_{CMP1})R_{OEa}}{1 + s[R_{COMP}C_{CMP1} + R_{OEa}(C_{CMP1} + C_{CMP2})] + C_{CMC2}C_{CMP1}R_{COMP}R_{OUT}S^2} \quad (式 32)$$

$R_{OEa} \gg R_{COMP}$, $C_{CMP1} \gg C_{CMP2}$, $R_{OEa} = \infty$ の場合は、[式 33](#) で示すように式を簡素化できます。

$$H_{e2}(s) = g_m \cdot \frac{1 + s \cdot R_{COMP} \cdot C_{CMP1}}{s \cdot C_{CMP1} \cdot (1 + s \cdot R_{COMP} \cdot C_{CMP2})} = \frac{\omega_1}{s} \cdot \frac{1 + \frac{s}{\omega_{z2}}}{1 + \frac{s}{\omega_{p2}}} \quad (式 33)$$

ここで、

$$\omega_1 = \frac{g_m}{C_{CMP1}}$$

$$\omega_{z2} = \frac{1}{R_{COMP} \cdot C_{CMP1}}$$

$$\omega_{p2} = \frac{1}{R_{COMP} \cdot C_{CMP2}}$$

帰還抵抗ネットワークの伝達関数は、次式で求められます。

$$H_{e1}(s) = \frac{R_{FB0}}{R_{FB0} + R_{FB1}} \cdot \frac{1 + \frac{s}{\omega_{z1}}}{1 + \frac{s}{\omega_{p1}}} \quad (式 34)$$

ここで、

$$\omega_{z1} = \frac{1}{C_1 \cdot (R_{FB1} + R_1)}$$

$$\omega_{p1} = \frac{1}{C_1 \cdot \frac{R_{FB1} \cdot R_{FB0} + R_{FB1} \cdot R_1 + R_{FB0} \cdot R_1}{R_{FB1} + R_{FB0}}}$$

補償ネットワークとゲイン段の合計伝達関数は、以下の式で求められます。

$$G_{\text{open}}(s) = G_T(s) \cdot H_{e1}(s) \cdot H_{e2}(s) \quad (\text{式 35})$$

$$G_{\text{open}}(s) = \left(\frac{R_o}{R_s} \cdot \frac{1 + \frac{s}{\omega_{\text{esr}}}}{1 + \frac{s}{\omega_o}} \right) \cdot \left(\frac{R_{\text{FB0}}}{R_{\text{FB0}} + R_{\text{FB1}}} \cdot \frac{1 + \frac{s}{\omega_{z1}}}}{1 + \frac{s}{\omega_{p1}}} \right) \cdot \left(\frac{\omega_1}{s} \cdot \frac{1 + \frac{s}{\omega_{z2}}}}{1 + \frac{s}{\omega_{p2}}} \right) \quad (\text{式 36})$$

式 36 の結果から、必要なポールとゼロの位置は式 37 ~ 42 で求められます。

$$f_{p0} = \frac{\omega_o}{2 \cdot \pi} = \frac{1}{2 \cdot \pi \cdot C_{\text{OUT}} \cdot R_{\text{OUT}}} \quad (\text{式 37})$$

$$f_{z1} = \frac{\omega_{z1}}{2 \cdot \pi} = \frac{1}{2 \cdot \pi \cdot C_1 \cdot (R_{\text{FB1}} + R_1)} \quad (\text{式 38})$$

$$f_{z2} = \frac{\omega_{z2}}{2 \cdot \pi} = \frac{1}{2 \cdot \pi \cdot C_{\text{CMc1}} \cdot R_{\text{CMP}}} \quad (\text{式 39})$$

$$f_{p1} = \frac{\omega_{p1}}{2 \cdot \pi} = \frac{R_{\text{FB1}} + R_{\text{FB2}}}{2 \pi C_1 (R_{\text{FB1}} \cdot R_{\text{FB0}} + R_{\text{FB1}} \cdot R_1 + R_{\text{FB0}} \cdot R_1)} \quad (\text{式 40})$$

$$f_{p2} = \frac{\omega_{p2}}{2 \cdot \pi} = \frac{1}{2 \cdot \pi \cdot C_{\text{CMP2}} \cdot R_{\text{CMP}}} \quad (\text{式 41})$$

$$f_{z\text{esr}} = \frac{\omega_{\text{esr}}}{2 \cdot \pi} = \frac{1}{2 \cdot \pi \cdot C_{\text{OUT}} \cdot R_{\text{esr}}} \quad (\text{式 42})$$

一般的に、 f_{z2} と f_{z1} は f_{p0} の近くに設定します。 f_{p2} は必要な帯域幅の近くに設定してください。 f_{p1} は $f_{z\text{esr}}$ の近くに設定してください。

VCC 入力フィルタ

ノイズの少ない電源レールを内蔵アナログ回路に提供できるように、PVCC と VCC の間に RC フィルタを接続することを推奨します。PVCC と VCC の間には 10Ω の抵抗を、VCC と GND の間には $1\mu\text{F}$ 以上のセラミック・コンデンサを推奨します。

電流センス回路

電流センス抵抗を設定する際は、電流センス抵抗の両端間電圧を 0.3V 未満に制限する必要があります。通常のアプリケーションでは、一般的な負荷電流状態に対応できるように、電流センス抵抗の両端間電圧を $30\text{mV} \sim 100\text{mV}$ に設定することを推奨します。

レイアウトに関する考慮事項

DC/DC コンバータの設計に必要な性能を確保するには、PCB のレイアウトがきわめて重要です。

1. 入力セラミック・コンデンサは、VIN ピンと、パワー MOSFET に接続された電源グラウンドのできるだけ近くに配置します。パターンの寄生インピーダンスによって生じる電圧スパイクを削減するため、このループ (入力セラミック・コンデンサ、IC VIN ピン、MOSFET) は可能な限り小さくしてください。
2. 入力アルミ・コンデンサは IC VIN とセラミック・コンデンサの近くに配置します。
3. フェーズ・ノードの銅エリアは小さくしますが、負荷電流に対応できる大きさは確保してください。
4. 出力セラミック / アルミ・コンデンサは電力段部品のできるだけ近くに配置します。
5. IC のサーマルパッドの下に複数のビアを配置します。熱インピーダンスを効果的に削減できるように、サーマルパッドは複数の層のできる限り広いエリアを介してグラウンド銅パターンに接続してください。
6. IC のできる限り近くで、 $4.7\mu\text{F}$ のセラミック・デカップリング・コンデンサを VCC ピンに接続します。このコンデンサのグラウンド・パッドの近くには複数のビアを配置してください。
7. ブートストラップ・コンデンサは IC のできるだけ近くに配置します。
8. インピーダンスを最小限に抑えられるように、ドライバのパターンはできるだけ短くし、ドライバのパスではビアの使用を避けます。
9. 電流センス抵抗は IC のできるだけ近くに配置します。不必要なスイッチング・ノイズの流入を避けるため、電流センス・ラインのパターンが互いに対称になるようにしてください。

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2014年12月12日	FN8657.3	<p>「ピンの説明」セクション 3ページの「FSYNC」の説明を「FSYNC ピンの100ns の遅延があります」から「FSYNC ピンの325ns の遅延があります」に変更。 4ページの「PVCC」の説明を「PVCC の動作範囲は 4V ~ 5.4V です」から「PVCC の動作範囲は 4.75V ~ 5.5V です」に変更。 「VCC」の説明を「範囲 4.7V ~ 5.5V」から「範囲 4.75V ~ 5.5V」に変更。</p> <p>「アプリケーション回路例」セクション 7ページ左側の「HIC/LATCH:Connect to either Vcc for Latch-off mode or GND for Hiccup mode」を「HIC/LATCH:Connect to either Vcc for Hiccup mode or GND for Latch-off mode」に変更。 8ページ左側の「HIC/LATCH:Connect to either Vcc for Latch-off mode or GND for Hiccup mode」を「HIC/LATCH:Connect to either Vcc for Hiccup mode or GND for Latch-off mode」に変更。 9ページ左側の「HIC/LATCH:Connect to either Vcc for Latch-off mode or GND for Hiccup mode」を「HIC/LATCH: Connect to either Vcc for Hiccup mode or GND for Latch-off mode」に変更。</p> <p>10ページの「電気的特性」の表で、「Input Voltage range」の「Test condition」を「For VIN = 5 the internal ...」から「For VIN = 5V, the internal ...」に変更。</p> <p>11ページの「電気的特性」の表で、「Phase Lock Loop Locking Time」の「Test Conditions」を「Cpllcmp2=_nF」から「Cpllcmp2=1nF」に変更。</p> <p>20ページの「動作説明」セクションで、2番目の文章を「入出力過電圧保護、出力過電圧保護」から「入力過電圧保護、出力過電圧保護」に変更。</p> <p>22ページの「外部クロックとの同期」セクションで、2番目の段落を「外部クロックの立ち上がりエッジから UG の立ち上がりまでの遅延時間は 100ns (typ) です」から「外部クロックの立ち上がりエッジから UG の立ち上がりまでの遅延時間は 325ns (typ) です」に変更。</p> <p>25ページの「図 46」で、「ma1 = Ma + mSL」から「ma1 = ma + mSL」に変更。</p> <p>30ページの「式 30」で、「mn=RS* ...」を「ma=RS* ...」に変更。 「図 51」で、「mb」を「ma」に変更。</p>
2014年8月1日	FN8657.2	<p>1ページの「特長」セクションで、5番目の箇条書きを「低シャットダウン電流: IQ<3μA」から「低シャットダウン電流: IQ<1μA」に変更。 6ページの「ブロック図」で、「+」と「-」の Gm_Amp 入力極性を反転。</p>
2014年7月22日	FN8657.1	<p>1ページに「関連ドキュメント」セクションを追加し、「注文情報」の表に ISL78268EVAL1Z に関する情報を追加。5ページ</p>
2014年6月18日	FN8657.0	初版

インターシルについて

インターシルは、革新的なパワーマネジメントと高精度アナログ・ソリューションのプロバイダとして世界をリードしています。インターシルの製品は、産業用機器/インフラ、モバイル・コンピューティング、ハイエンド・コンシューマの分野で特に規模の大きな市場向けに開発されています。

最新のデータシート、アプリケーションノート、関連ドキュメント、関連部品は、www.intersil.com に記載のそれぞれの製品情報ページを参照してください。

本データシートに関するご意見は www.intersil.com/ask へお寄せください。

信頼性に関するデータは www.intersil.com/support を参照してください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

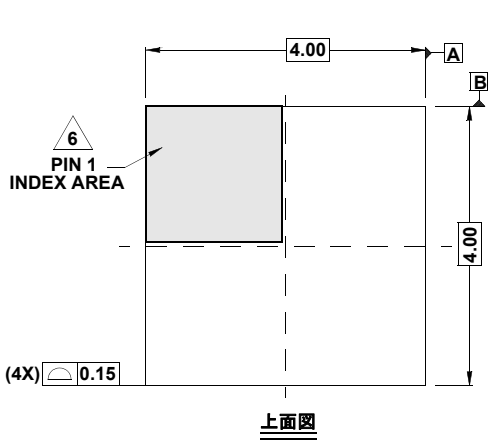
インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認くださいませよう願いたします。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

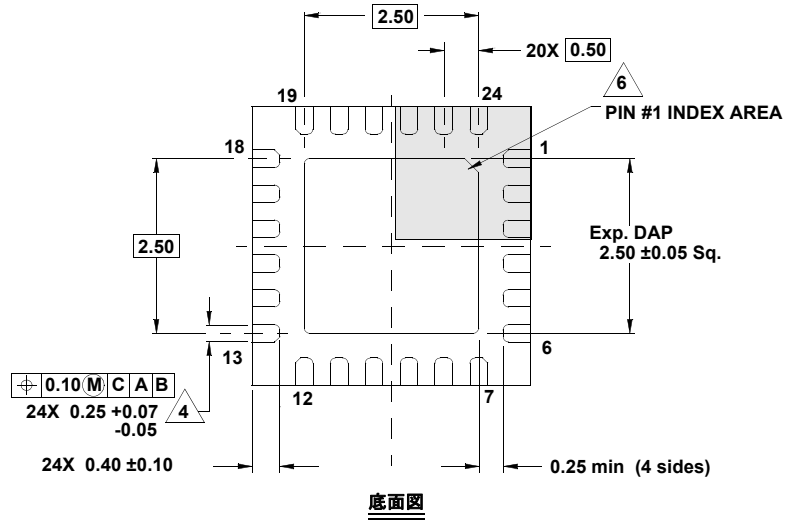
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図
L24.4x4H

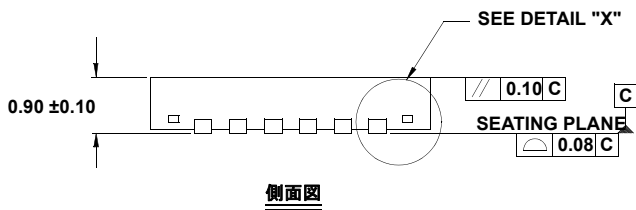
24 LEAD QUAD FLAT NO-LEAD PLASTIC PACKAGE
Rev 0, 09/11



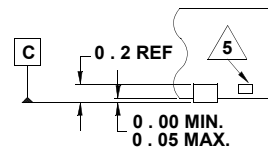
上面図



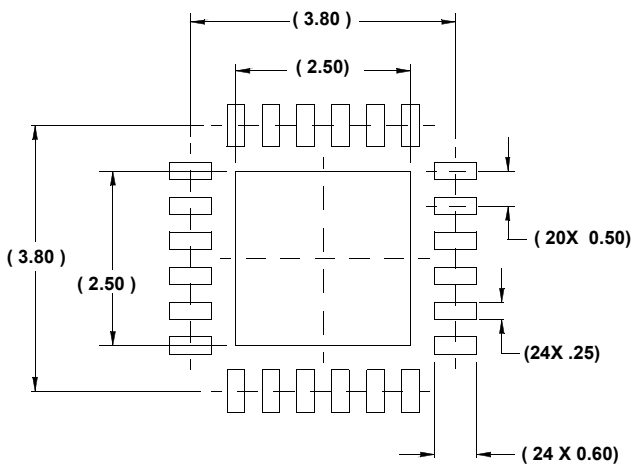
底面図



側面図



"X" の詳細



推奨ランドパターンの例

NOTE:

1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は ASME Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ± 0.05 です。
4. 寸法は金属端子に適用され、端子先端から 0.15mm ~ 0.30mm のポイントで計測した値です。
5. タイパー(示されている場合は)は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。
7. JEDEC MO-220 VGGD-8 に準拠しています。